



ITSON
Educar para
Trascender

INSTITUTO TECNOLÓGICO DE SONORA

Etapa de adecuación de señal con auto-rango
para sistema de monitoreo de energía
eléctrica

TESIS
QUE PARA OBTENER EL TÍTULO DE

INGENIERO EN ELECTRÓNICA

PRESENTA

Luis Javier Valenzuela Ahumada

CD. OBREGÓN, SONORA

NOVIEMBRE DE 2009

AGRADECIMIENTOS

A mis padres por su incondicional apoyo, amor y paciencia durante toda mi vida y por permitirme lograr esta meta.

A toda mi familia y en especial a mi tío Pedro y mi tía Bere que me han dado todo su apoyo y confianza durante mi vida y formación como profesionalista.

A mis amigos de carrera con los cuales libré los retos de esta ardua pero gratificante y enriquecedora formación como ingeniero.

A mi asesor Dr. Jesús Héctor Hernández López por su gran apoyo, confianza y motivación en el desarrollo del presente trabajo.

A mis revisores Ing. Andrés Othón Pizarro, Dr. José Antonio Beristáin y M.C. Adolfo Espinoza por sus atenciones y valiosas aportaciones para la realización y mejoramiento del proyecto.

ÍNDICE

LISTA DE FIGURAS	vi
LISTA DE TABLAS	viii
RESUMEN	ix
I. INTRODUCCIÓN	1
1.1 Antecedentes.....	1
1.2 Planteamiento del problema.....	3
1.3 Objetivos.....	3
1.4 Hipótesis.....	4
1.5 Justificación.....	4
1.6 Delimitaciones.....	5
II. MARCO TEÓRICO	6
2.1 Sistemas de monitoreo de energía.....	6
2.2 Conversión analógico-digital.....	9
2.3 Fenómeno aliasing y filtro anti-aliasing.....	10

2.4 Filtro de capacitor conmutado.....	12
2.5 Microcontroladores.....	13
2.5.1 Microcontrolador PIC16F877.....	15
2.6 Interface serial de periféricos SPI.....	18
III. MÉTODO.....	20
IV. DISEÑO DEL SISTEMA.....	23
4.1 Descripción general del sistema.....	23
4.2 Diseño del módulo de auto-rango.....	24
4.2.1 Muestreo y determinación de ganancias.....	25
4.2.2 Comunicación con los amplificadores programables.....	28
4.2.3 Comunicación con etapa de procesamiento.....	29
4.2.3.1 Envío de rangos por cambio de ganancia.....	30
4.2.3.2 Recepción de información y cambio a modo esclavo.....	31
4.3 Filtro anti-aliasing MF6CN-50.....	38
4.4 Circuito detector de ventana.....	39
V. PRUEBAS Y RESULTADOS.....	42
5.1 Implementación del sistema completo.....	42
5.2 Módulo de pruebas.....	43
5.3 Pruebas del sistema completo.....	44
VI. CONCLUSIONES.....	52

BIBLIOGRAFÍA..... 54

APÉNDICE A: Programa del microcontrolador en lenguaje ensamblador.

APÉNDICE B: Especificaciones de los componentes MCP6S21, MF6CN-50 y PIC16F877A.

LISTA DE FIGURAS

Figura 1. Diagrama de sistema de monitoreo de línea eléctrica.....	8
Figura 2. Ejemplo de conversión de analógico a digital.....	10
Figura 3. Fenómeno de aliasing en una señal muestreada.....	11
Figura 4. Capacitor conmutado y su implementación.....	13
Figura 5. Diagrama de bloques general de un microcontrolador.....	15
Figura 6. Encapsulado PDIP de 40 pines del PIC16F877.....	15
Figura 7. Diagrama a bloques del PIC16F877.....	17
Figura 8. Organización de la memoria RAM del PIC16F877.....	18
Figura 9. Líneas del bus SPI para un dispositivo maestro y un esclavo.....	19
Figura 10. Líneas del bus SPI para un dispositivo maestro con varios esclavos.....	20
Figura 11. Diagrama a bloques del sistema para 4 señales.....	24
Figura 12. Representación de los rangos y límites preestablecidos para el módulo de auto-rango.....	25
Figura 13. Diagrama de flujo que representa el algoritmo para determinar las ganancias de cada señal de entrada.....	26
Figura 14. Diagrama de flujo que representa el algoritmo para evitar inestabilidad en el cambio de ganancia.....	27
Figura 15. Conexión del microcontrolador con los amplificadores PGA.....	28
Figura 16. Conexión propuesta entre el módulo de auto-rango y el dispositivo de procesamiento.....	29
Figura 17. Diagrama de tiempos para recibir la instrucción y datos.....	32

Figura18. Configuración del filtro MF6CN-50.....	39
Figura19. Circuito detector de ventana implementado con el comparador cuádruple LM339.....	40
Figura 20. Sistema implementado en placa de pruebas.....	43
Figura 21. Módulo de pruebas y su conexión al módulo de auto-rango.....	44
Figura 22. Señal de prueba de 60 Hz y su amplificación en el 1.er rango (+10).....	45
Figura 23. Señal de prueba de 50 Hz y su amplificación en el 2.o rango (+5).....	45
Figura 24. Señal de prueba de 70 Hz y su amplificación en el 3.er rango (+2).....	46
Figura 25. Señal de prueba de 100 Hz y su amplificación en el 4.o rango (+1).....	46
Figura 26. Cambio a modo esclavo del módulo para bajar la ganancia de la señal de manera forzada.....	47
Figura 27. Gráfica de Bode de magnitud del filtro MF6CN-50 generada a partir de los datos de la tabla 3.....	49
Figura 28. Gráfica de Bode de fase del filtro MF6CN-50 generada a partir de los datos de la tabla 3.....	49
Figura 29. Señal de prueba de 200 Hz con componentes de alta frecuencia y su salida del filtro.....	50
Figura 30. Respuesta del circuito detector de ventana.....	50
Figura 31. Respuesta del sistema al cambio repentino de amplitud para verificar el circuito detector de ventana.....	51

LISTA DE TABLAS

Tabla 1. Registros del microcontrolador para límites y ganancias.....	36
Tabla 2. Relación de valores para límites de voltaje.....	37
Tabla 3. Respuesta en magnitud y fase del filtro MF6CN-50 para distintos valores de frecuencia.....	48

RESUMEN

El presente trabajo se ocupa del diseño e implementación de un módulo de acondicionamiento señal con auto-rango para ser utilizado como parte de un sistema piloto de monitoreo de línea eléctrica para el Instituto Tecnológico de Sonora.

La etapa de adecuación de señal con auto-rango representa un subsistema intermedio del sistema de monitoreo de línea. El sistema obtiene las señales a ser tratadas de los transductores de voltaje y corriente conectados al sistema eléctrico. Cada una de estas señales es monitoreada por un microcontrolador para determinar sus amplitudes máximas que definirán de manera automática la ganancia que recibirá cada una de las señales. Posteriormente se realiza un filtrado electrónico de la señal de entrada. El propósito fundamental del proceso de amplificación y de filtrado de las señales es lograr que la etapa posterior, que corresponde al procesamiento digital, realice la conversión de analógico a digital de la manera más eficiente posible al lograr resoluciones mayores con la amplificación y, con la etapa de filtrado, evitar problemas de efecto alias en el procesamiento de la señal. Adicionalmente a las características mencionadas, el módulo de auto-rango tiene la capacidad de comunicarse por medio de la interfaz SPI con el dispositivo de procesamiento para diversas funciones y ajustes.

I. INTRODUCCIÓN

1.1 Antecedentes.

El alto costo de la energía eléctrica impacta notablemente en el costo de operación de cualquier empresa, este hecho aunado al inminente agotamiento de las reservas petroleras han ocasionado que el uso eficiente de energía se haya convertido en un asunto de gran relevancia para los gobiernos y empresas internacionales, nacionales y regionales [5].

El Instituto Tecnológico de Sonora es uno de los principales consumidores de energía eléctrica en Cd. Obregón, Sonora, por lo tanto el costo de dicho insumo impacta significativamente en sus gastos de operación. Hasta la fecha el ITSON no cuenta con un programa de administración y uso eficiente de la energía eléctrica. Por otra parte, la ausencia de un sistema de medición de energía provoca que el responsable institucional de la instalación eléctrica no disponga de información

oportuna sobre los flujos de potencia y voltajes de la misma red. Este desconocimiento provoca en algunas ocasiones la sobrecarga de líneas de distribución de energía y de transformadores del sistema, ocasionando calentamiento excesivo de dicho equipo primario, la reducción de su vida útil y en casos extremos el daño irreparable del mismo. En el mismo orden de ideas, algunas veces se daña equipo eléctrico o electrónico y se desconoce la raíz del problema, es decir, no se tiene certeza de si el origen de la falla es externo o interno a la red eléctrica del instituto pues no se tiene medición de la calidad del suministro de energía.

Para lograr implementar un sistema de monitoreo de energía se requieren varias etapas que en conjunto lograrán obtener los valores de los parámetros de interés de manera que éstos puedan ser analizados directamente, almacenados o transmitidos a otros puntos para procesamientos posteriores. El procesamiento digital de la señal de la línea eléctrica ofrece grandes ventajas con respecto a un procesamiento analógico ya que el interés del sistema es obtener la información, analizarla almacenarla y/o transmitirla, y esto se realiza de manera más eficaz utilizando técnicas de procesamiento digital. Esto resulta evidente al observar las tecnologías modernas de procesamiento de información las cuales en su mayoría se implementan a través de microprocesadores que operan a velocidades cada vez mayores y de menor costo.

Para llevar acabo el procesamiento digital de las señales es necesario primeramente adecuar las señales que se van digitalizar antes de su procesamiento. Para lograr esta adecuación de señal se cuenta actualmente con dispositivos programables que son bastantes útiles para amplificar las señales provenientes del sensor. Estos dispositivos realizan la función de amplificación de manera completamente analógica utilizando amplificadores operaciones internos los cuales se pueden programar a distintas ganancias a través de microcontroladores externos. La gran variedad de recursos que ofrecen los microcontroladores así como las características de los

amplificadores programables representan una opción muy útil en etapas de acondicionamiento de señal. Asimismo una etapa de adecuación de señal previa a un procesamiento digital requiere de un filtro anti-aliasing que atenúe las frecuencias altas de la señal de entrada lo cual es indispensable para sistemas donde se trabaja con muestras de señales obtenidas de un convertidor analógico-digital. Para tal efecto se cuenta actualmente con circuitos integrados que operan como filtros electrónicos que requieren pocos componentes externos para su funcionamiento.

1.2 Planteamiento del problema.

La problemática general del proyecto es que el ITSON no tiene un sistema de monitoreo de energía eléctrica, hecho que impide la identificación de áreas potenciales para el uso eficiente de energía y para el mejoramiento de la calidad del suministro eléctrico. Una condición fundamental en el desarrollo de un sistema de monitoreo con procesamiento digital de señales es que requiere primeramente de una conversión analógico-digital, proceso que está limitado por dos factores muy importantes que son su resolución y su frecuencia de muestreo, y por lo tanto se requiere un sistema capaz de proporcionar una amplificación controlada de las señales así como de filtrar las frecuencias altas que puedan interferir con el funcionamiento adecuado del procesamiento de la señal.

1.3 Objetivos.

El objetivo principal es diseñar un sistema piloto para el monitoreo de energía eléctrica en el Instituto Tecnológico de Sonora, destinado a identificar y evaluar el uso eficiente y la calidad de la energía de la red eléctrica institucional.

Para este propósito es necesario diseñar e implementar una etapa de adecuación de señal que prepare la señal a ser recibida para que llegue de forma óptima a la etapa de procesamiento.

1.4 Hipótesis.

El diseño y desarrollo de una etapa de adecuación de señal con auto-rango proporcionará una solución óptima a las necesidades de la etapa de procesamiento digital del sistema de monitoreo, ya que requiere que las señales a ser procesadas tengan características apropiadas para evitar lo más posible pérdida de información en el proceso de digitalización.

1.5 Justificación.

El principal beneficiado al desarrollar e implementar un sistema de monitoreo de línea será el ITSON, al contar con un sistema integral de medición de energía eléctrica, herramienta que permitirá la evaluación de la situación energética actual del sistema eléctrico institucional y el diseño de estrategias encaminadas al uso eficiente y calidad de energía eléctrica. Algunas ventajas de contar con un sistema de monitoreo de energía son: la oportuna detección de causas de falla de equipos, la verificación de facturación, mejorar estrategias de mantenimiento, etc.

Además el desarrollo e implementación de un módulo de adecuación de señal con auto-rango representa una parte clave en el funcionamiento del sistema como conjunto y queda establecido como un prototipo para otras aplicaciones que requieran etapas de adecuación con sistema de amplificación variable y automática.

1.6 Delimitaciones.

El desarrollo del presente trabajo se enfoca exclusivamente a la etapa de adecuación de señal que es posterior al sensado del voltaje y corriente de la línea eléctrica y previa a la etapa de procesamiento digital de la señal.

El presente trabajo se ocupará de las otras etapas del sistema de monitoreo solamente para adaptarse a los requerimientos y características necesarias de la señal que será recibida y en la comunicación con el módulo de procesamiento.

El sistema diseñado deberá ser autónomo y flexible de modo que pueda operar por si mismo pero que pueda ser fácilmente ajustable en sus parámetros por la etapa de procesamiento de señal.

II. MARCO TEÓRICO

2.1 Sistemas de monitoreo de energía.

Un sistema de monitoreo de energía eléctrica obtiene a través de una serie de componentes información de interés de la línea eléctrica. Dicha información es analizada y almacenada de forma que permita evaluar el uso eficiente y la calidad de la energía de la red eléctrica.

Además un sistema de monitoreo de energía también puede:

- Concentrar la información de equipos de medición y tenerla disponible en interfaces de fácil manejo como en una PC.
- Generar la información de costos de energía, demanda, factor de potencia, consumos, haciendo uso de mediciones en tiempo real.
- Generar reportes de eventos de Calidad de la Energía (gráficos, tendencias, espectros, formas de onda).

- Enviar alarmas de comportamientos anormales en la red eléctrica [4].

El uso de sistemas de monitoreo de energía proporcionan una herramienta para analizar los distintos parámetros relacionados con calidad de energía. Las principales razones por las que es necesario estudiar los conceptos relacionados con la calidad en el suministro de la energía eléctrica, son las siguientes:

- Las cargas son cada día más sensibles a las variaciones de ciertos parámetros o cantidades en los sistemas del suministro de energía, en la actualidad se encuentran cargas tanto industriales como residenciales y comerciales, que hacen uso intensivo de controles basados en microprocesadores, como es el caso de las aplicaciones en robótica, las computadoras personales, aparatos del hogar, etcétera. También existe cada vez mayor presencia de la llamada electrónica de potencia, usada en distintas aplicaciones, como es el caso de los controladores para motores eléctricos, que han sustituido en muchos casos a los controles electromagnéticos y que son sensibles a muchos tipos de disturbios.
- Se ha incrementado el concepto de mayor eficiencia en los sistemas eléctricos, lo cual ha traído como resultado un incremento continuo en la aplicación de dispositivos de alta eficiencia, tales como: los controladores de velocidad en motores eléctricos, el uso de capacitores en paralelo para la corrección del factor de potencia y para reducir pérdidas; esto trae como consecuencia un incremento en los niveles de armónicas en los sistemas eléctricos, problema que ha preocupado a los técnicos, por el impacto que actualmente tienen y por las condiciones futuras que se pueden presentar.
- Una mayor atención por parte de los usuarios finales a problemas con la calidad de del suministro de la energía eléctrica, que pueden afectar a las cargas, como son: las interrupciones de servicio, los transitorios por maniobras, las depresiones y elevaciones de voltaje, etcétera.

- La cada vez más creciente tendencia a la interconexión de los sistemas eléctricos al nivel de sistemas de potencia y de instalaciones industriales, trae como resultado una mayor cantidad de procesos integrados, lo cual significa que una falla en cualquier componente tiene consecuencias más importantes.

El principal factor que se encuentra detrás de los conceptos de la calidad en el suministro de la energía eléctrica es el incremento en la productividad para los clientes de las empresas eléctricas. Lo anterior, plantea la necesidad de identificar estos problemas entre suministradores y usuarios de energía eléctrica en forma grupal, para que en la medida de lo posible se planteen soluciones conjuntas, como el caso de los sistemas de monitoreo de energía [3].

Como se muestra en la figura 1, el sistema de monitoreo de energía se compone en su conjunto de una serie de subsistemas que interactúan de manera escalonada para obtener y gestionar la información de interés de la línea.

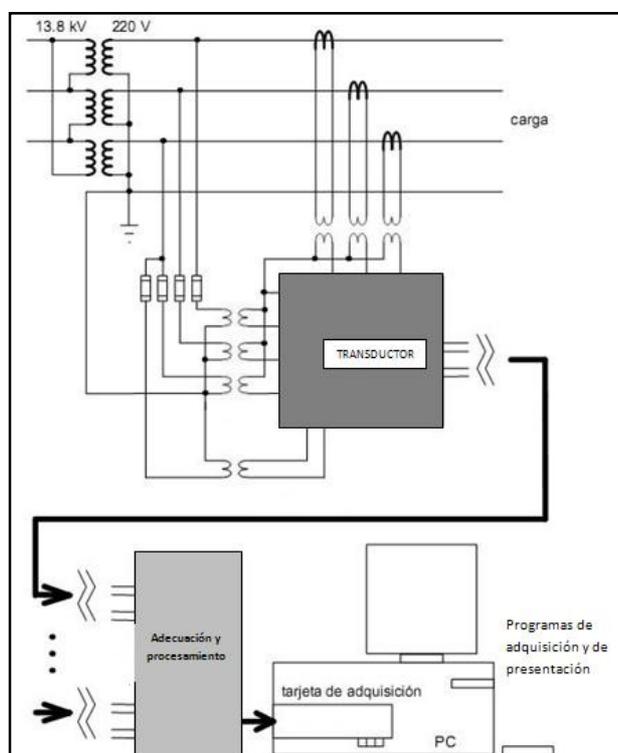


Figura 1. Diagrama de sistema de monitoreo de línea eléctrica.

2.2 Conversión analógico-digital.

Para tener la posibilidad de ingresar datos analógicos a un circuito digital o microprocesador, los datos analógicos se deben transformar en valores digitales codificados. El primer paso es evaluar numéricamente la señal en instantes discretos de tiempo. Este proceso se llama muestreo y el resultado es una señal digitalizada compuesta de valores discretos correspondientes a cada muestra.

El proceso de conversión analógico-digital involucra conceptualmente dos pasos: cuantificación y codificación. La cuantificación se define como la transformación de una entrada analógica en un conjunto de estados de salida discretos. Codificación es la asignación de una palabra o número código digital a cada estado de salida.

El convertidor analógico-digital (ADC por sus siglas en inglés) es un dispositivo electrónico que convierte un voltaje analógico en un código digital. La salida del ADC se puede poner en interfaz directamente con dispositivos digitales como microcontroladores y computadores. La resolución de un ADC es el número de bits usados para aproximar digitalmente el valor analógico de la entrada. El número de posibles estados N es igual al número de combinaciones de bits que se pueden sacar del convertidor $N = 2^n$ donde n es el número de bits.

El tamaño de cuantificación analógica Q , a veces llamado ancho de código, se define como el rango de escala completa del ADC dividido entre el número de estados de salida.

$$Q = (V_{max} - V_{min}) / N \quad (1)$$

La cuantificación analógica es una medida del cambio analógico que se puede representar por el convertidor. Aunque el término resolución se define como el

número de bits de salida de ADC, en ocasiones se usa para referirse al tamaño de cuantificación analógica [1].

A partir de estas consideraciones se puede inferir que para reducir lo más posible la pérdida de información en el proceso de digitalización es necesario que la amplitud de la señal sea lo mayor posible y que se encuentre dentro de los valores de referencia de voltaje del convertidor ya que así se aprovecha al máximo la resolución del convertidor analógico-digital.

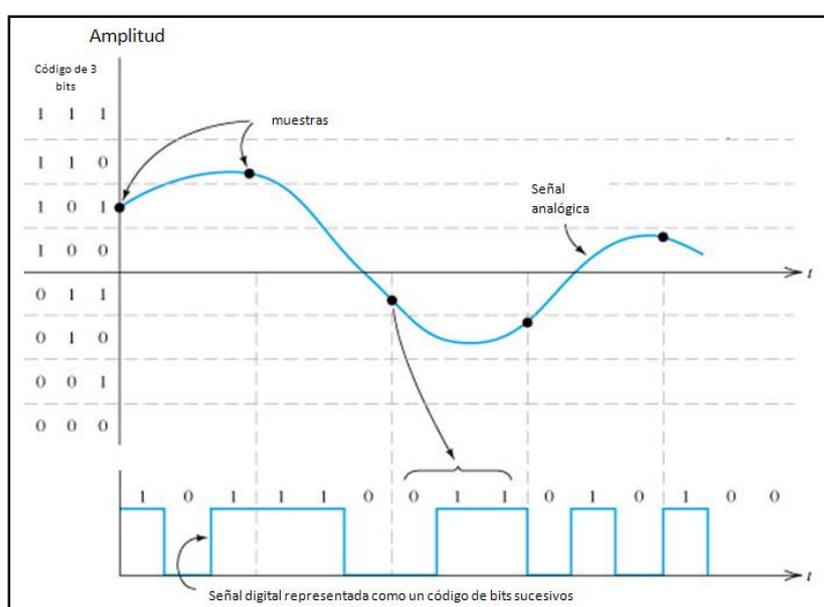


Figura 2. Ejemplo de conversión de analógico a digital.

2.3 Fenómeno aliasing y filtro anti-aliasing.

El fenómeno aliasing es el efecto que causa que señales continuas distintas se tornen indistinguibles cuando se les muestrea digitalmente. Cuando esto sucede, la

señal original no puede ser reconstruida de forma unívoca a partir de la señal digital, como el caso de la figura 3.

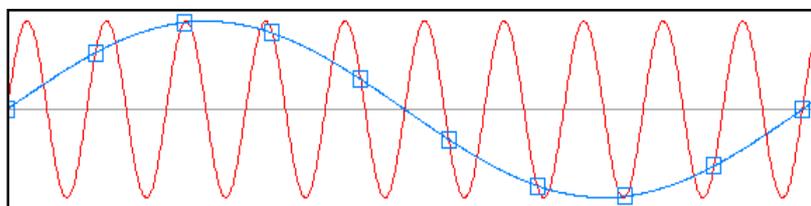


Figura 3. Fenómeno de aliasing en una señal muestreada.

Un filtro anti-aliasing es un filtro pasabajas cuya finalidad es limitar la banda de la señal de entrada para evitar el efecto alias. Sin embargo en la práctica no es posible diseñar filtros con características ideales, así que es inevitable tener cierto grado de fenómeno de aliasing. El diseño del filtro anti-aliasing debe asegurar que los efectos del fenómeno de alias se mantengan reducidos [6].

Para muestrear una señal analógica sin perder información el teorema de muestreo establece que es necesario muestrear una señal a una tasa de más de dos veces la componente de frecuencia máxima en la señal para retener todos los componentes de frecuencia. En otras palabras, para representar fielmente la señal analógica, las muestras digitales se deben tomar a una frecuencia f_s tal que

$$f_s > 2 f_{max} \quad (2)$$

donde f_{max} es el componente de máxima frecuencia en la señal analógica de entrada. El término f_s se conoce como tasa de muestreo y el límite en la tasa mínima requerida ($2f_{max}$) se llama frecuencia Nyquist. A partir de esta consideración la frecuencia de muestreo del convertidor analógico digital debe exceder, al menos, el doble de la frecuencia de interés que se desea muestrear. Con esta consideración el diseño del filtro anti-aliasing deberá atenuar las frecuencias mayores a la mitad de la

frecuencia de muestreo para asegurar que se cumpla el teorema de muestreo y evitar el efecto alias [2].

Como consideración en el diseño del filtro antia-aliasing se tiene que; si el nivel de fenómeno alias es ΔV y el nivel máximo en la banda de paso es V , se requiere un filtro con una atenuación en la banda de supresión $A_s > 20 \log \left(\frac{V}{\Delta V} \right) \text{ dB}$. Si el nivel pico de la señal es A y el límite de la banda de paso se define como la frecuencia de potencia media (o de 3 dB), y se escoge ΔV como el error rms de cuantización para un cuantizador de B bits, entonces se tiene.

$$A_s = \text{Atenuación mínima en la banda de supresión}$$

$$A_s > 20 \log \frac{\text{nivel rms máximo en la banda de paso}}{\text{nivel rms mínimo en la banda de supresión}} = \frac{\frac{A}{\sqrt{2}}}{\frac{\Delta}{\sqrt{12}}} = \frac{\frac{A}{\sqrt{2}}}{\frac{A}{2^B \sqrt{12}}}$$

$$A_s > 20 \log(2^B \sqrt{6}) \text{ dB} \quad (3)$$

2.4 Filtro de capacitor conmutado.

Los filtros que emplean la técnica de capacitores conmutados simulan resistencias mediante capacitores conmutados a alta velocidad. Así se elimina la necesidad de contar con resistencias de circuito integrado de alta precisión y elevado costo cuando se construyen filtros analógicos monolíticos de alta calidad.

Un capacitor conmutado consiste básicamente de un capacitor cuya carga es transferida de un nodo a otro en un circuito por medio de un interruptor. Como se muestra en la imagen de la izquierda de la figura 4, cuando el interruptor se encuentra en la posición 1, C_s se carga a un voltaje V_1 . La carga almacenada es

$Q_1 = C_s V_1$. En la posición 2 se descarga hacia $Q_2 = C_s V_2$. Una cantidad de carga igual a $\Delta Q = Q_1 - Q_2$ se transfiere entonces de la terminal 1 a la terminal 2. Si el capacitor se conmuta a una frecuencia $1/T$, La transferencia de carga representa una corriente equivalente

$$I = \frac{\Delta Q}{T} = \frac{V_1 - V_2}{\left(\frac{1}{C_s}\right)T} = \frac{V_1 - V_2}{\left(\frac{1}{C_s f_s}\right)} \quad (4)$$

La forma de esta ecuación indica que el capacitor conmutado puede ser modelado como una resistencia de valor

$$R_S = \frac{1}{f_s C_s} \quad (5)$$

donde f_s es la frecuencia de conmutación. En los filtros activos monolíticos la conmutación es controlada por medio de una señal de reloj que cambia los estados del interruptor implementado como el que se muestra en la figura 4(b).

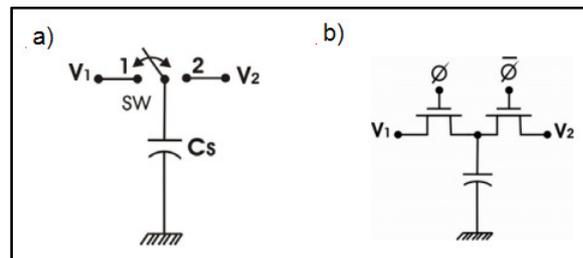


Figura 4. Capacitor conmutado y su implementación.

2.5 Microcontroladores.

Un Microcontrolador es un circuito integrado programable que incluye en su interior las tres unidades funcionales de un ordenador: CPU, memoria y puertos de entrada y

salida, es decir, se trata de un computador completo en un solo circuito integrado [7]. Dado que para diversas aplicaciones es necesario el uso de módulos que realicen tareas más específicas, los fabricantes han añadido en sus microcontroladores diversos componentes que amplían las posibilidades de los mismos. Algunos de estos componentes especiales son los convertidores analógico-digital (ADC), temporizadores, memorias no volátiles EEPROM, salidas PWM (modulación por ancho de pulso), buses de interfaz serie especializados como I²C y SPI, etc.

Los microcontroladores se han desarrollado para cubrir las más diversas aplicaciones. Se usan en automoción, en equipos de comunicaciones y de telefonía, en instrumentos electrónicos, en equipos médicos e industriales de todo tipo, en electrodomésticos, en juguetes, etc.

Los microcontroladores están concebidos fundamentalmente para ser utilizados en aplicaciones puntuales, es decir, aplicaciones en donde el microcontrolador debe realizar un determinado número de tareas, al menor costo posible. En estas aplicaciones, el microcontrolador ejecuta un programa almacenado permanentemente en su memoria, el cual trabaja con algunos datos almacenados temporalmente e interactúan con el exterior a través de las líneas de entrada y salida de que dispone. El microcontrolador es parte de la aplicación: es un controlador incrustado o embebido en la aplicación (*embedded controller*). En aplicaciones de cierta envergadura se utilizan varios microcontroladores, cada uno de los cuales se ocupa de un grupo de tareas [1].

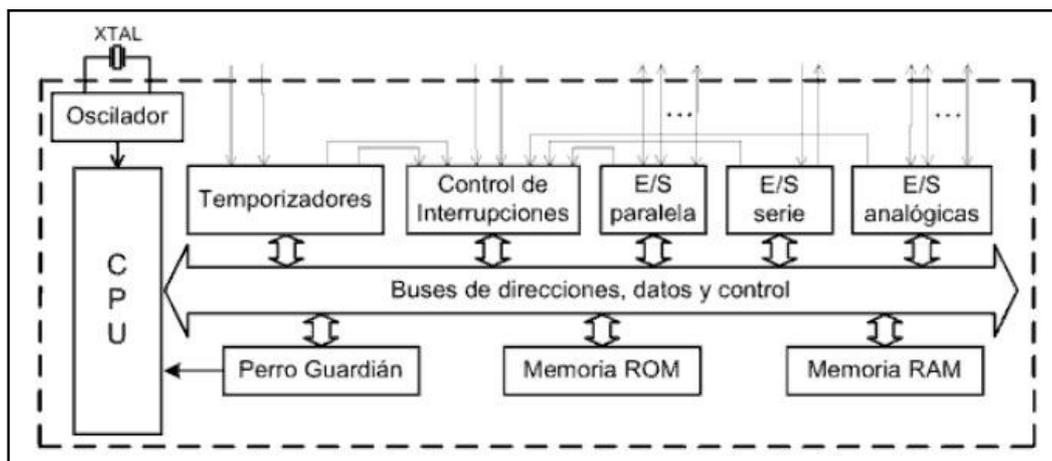


Figura 5. Diagrama de bloques general de un microcontrolador.

2.5.1 Microcontrolador PIC16F877.

El microcontrolador PIC16F877 de Microchip pertenece a una gran familia de microcontroladores de 8 bits (para bus de datos) que tienen características generales que los distinguen de otras familias.

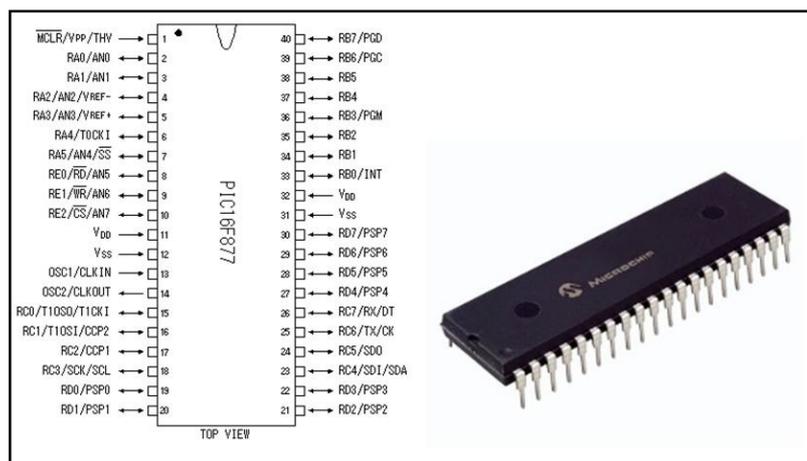


Figura 6. Encapsulado PDIP de 40 pines del PIC16F877.

A continuación se enumeran algunas de las prestaciones especiales del PIC16F877 y similares.

- Procesador de arquitectura RISC avanzada
- Juego de sólo 35 instrucciones con 14 bits de longitud. Todas ellas se ejecutan en un ciclo de instrucción, excepto las de salto que tardan dos.
- Hasta 8K palabras de 14 bits para la Memoria de Programa, tipo FLASH en los modelos 16F876 y 16F877 y 4KB de memoria para los PIC16F873 y 16F874.
- Hasta 368 Bytes de memoria de Datos RAM.
- Hasta 256 Bytes de memoria de Datos EEPROM.
- Pines de salida compatibles para el PIC 16C73/74/76/77.
- Hasta 14 fuentes de interrupción internas y externas.
- Stack de 8 niveles.
- Modos de direccionamiento directo e indirecto.
- *Power-on* Reset (POR).
- Temporizador *Power-up* (PWRT).
- Perro Guardián (WDT).
- Código de protección programable.
- Modo SLEEP de bajo consumo.
- Programación serie en circuito con dos pines, sólo se necesita 5V para programarse en este modo.
- Voltaje de alimentación comprendido entre 2 y 5,5 V.
- Bajo consumo: 5.5 mA para 5V a 20 MHz, 1 μ A en modo SLEEP.

Estas características se conjugan para lograr un dispositivo altamente eficiente en el uso de la memoria de datos y programa y por lo tanto en la velocidad de ejecución.

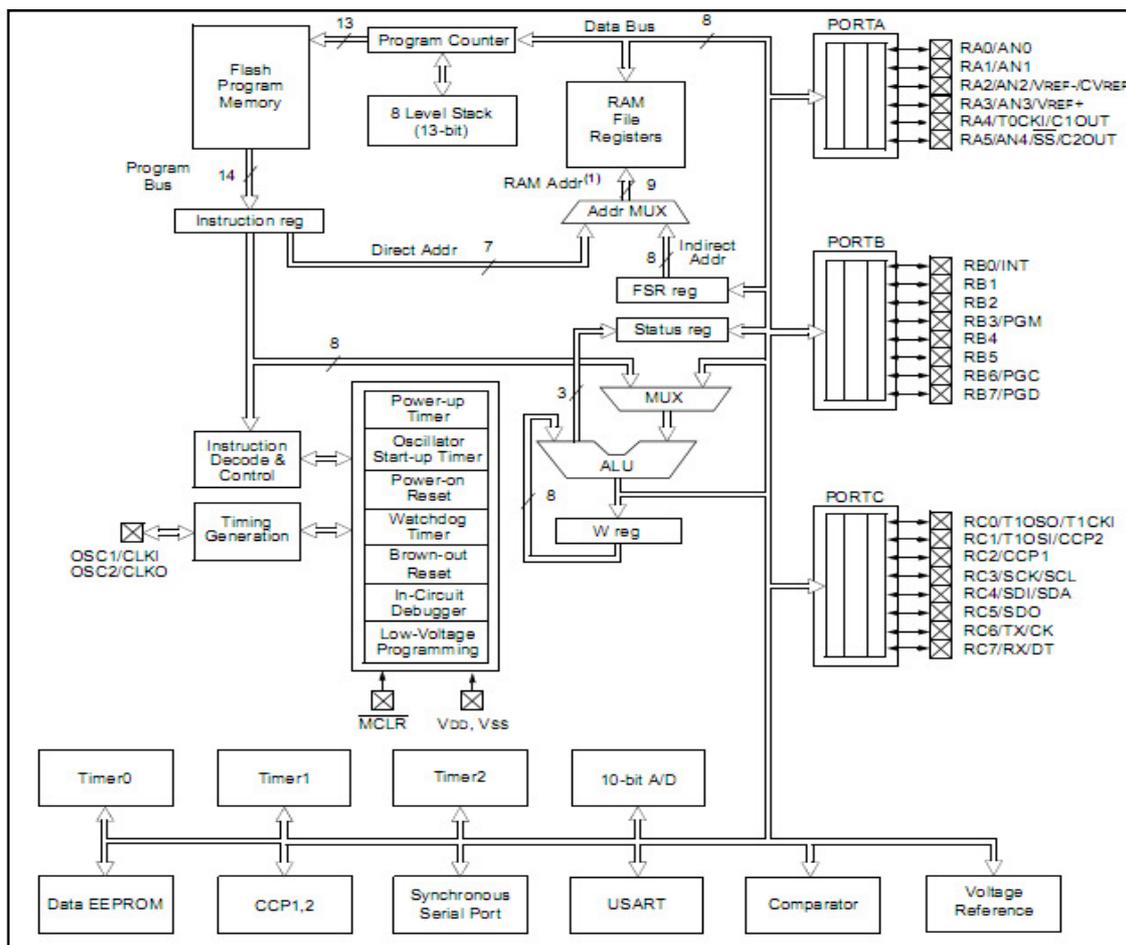


Figura 7. Diagrama a bloques del PIC16F877.

En cada microcontrolador PIC16F877 se encuentran tres bloques de memoria. La memoria de programa y la memoria de datos que tienen los buses separados para poder permitir el acceso simultáneo a estos dos bloques. El tercer bloque es la memoria de datos EEPROM. La memoria de datos se divide en cuatro bancos que contienen los registros de propósito general y los registros de funciones especiales.

Registro	Dir.	Registro	Dir.	Registro	Dir.	Registro	Dir.
Indirect.addr.(*)	00H	Indirect.addr.(*)	80H	Indirect.addr.(*)	100H	Indirect.addr.(*)	180H
TMR0	01H	OPTION_REG	81H	TMR0	101H	OPTION_REG	181H
PCL	02H	PCL	82H	PCL	102H	PCL	182H
STATUS	03H	STATUS	83H	STATUS	103H	STATUS	183H
FSR	04H	FSR	84H	FSR	104H	FSR	184H
PORTA	05H	TRISA	85H		105H		185H
PORTB	06H	TRISB	86H	PORTB	106H	TRISB	186H
PORTC	07H	TRISC	87H		107H		187H
PORTD	08H	TRISD	88H		108H		188H
PORTE	09H	TRISE	89H		109H		189H
PCLATH	0AH	PCLATH	8AH	PCLATH	10AH	PCLATH	18AH
INTCON	0BH	INTCON	8BH	INTCON	10BH	INTCON	18BH
PIR1	0CH	PIE1	8CH	EEDATA	10CH	EECON1	18CH
PIR2	0DH	PIE2	8DH	EEADR	10DH	EECON2	18DH
TMR1L	0EH	PCON	8EH	EEDATH	10EH		18EH
TMR1H	0FH		8FH	EEADRH	10FH		18FH
TICON	10H		90H		110H		190H
TMR2	11H	SSPCON2	91H		111H		191H
T2CON	12H	PR2	92H		112H		192H
SSPBUF	13H	SSPADD	93H		113H		193H
SSPCON	14H	SSPSTAT	94H		114H		194H
CCPR1L	15H		95H		115H		195H
CCPR1H	16H		96H		116H		196H
CCP1CON	17H		97H		117H		197H
RCSTA	18H	TXSTA	98H		118H		198H
TXREG	19H	SPBRG	99H		119H		199H
RCREG	1AH		9AH	Registros de propósito general	11AH	Registros de propósito general	19AH
CCPR2L	1BH		9BH	96 bytes	11BH	96 bytes	19BH
CCPR2H	1CH		9CH		11CH		19CH
CCP2CON	1DH		9DH		11DH		19DH
ADRESH	1EH	ADRESL	9EH		11EH		19EH
ADCON0	1FH	ADCON1	9FH		11FH		19FH
	20H		A0H		120H		1A0H
Registros de propósito general		Registros de propósito general					
96 bytes		80 bytes					
		Acceso a 70H-7FH		Acceso a 70H-7FH		Acceso a 70H-7FH	
	7FH		EFH		16FH		1EFH
			FOH		170H		1F0H
			FFH		17FH		1FFH
Banco 0		Banco 1		Banco 2		Banco 3	

(*) No es un registro físico, sino el indicador de acceso indirecto a memoria

Figura 8. Organización de la memoria RAM del PIC16F877.

2.6 Interface Serial de Periféricos (SPI).

Es un estándar de comunicaciones establecido por Motorola usado esencialmente para la transferencia de información entre circuitos integrados en equipos electrónicos. SPI consta de un bus de tres o cuatro líneas, sobre el cual se

transmiten paquetes de información de 8 bits. La comunicación se realiza siguiendo un modelo maestro-esclavo donde pueden existir múltiples dispositivos esclavos e incluso pueden haber varios maestros en el bus, pero sólo uno de ellos puede controlar la interfaz en cada momento. Algunos dispositivos sólo pueden ser transmisores y otros sólo receptores, aunque generalmente, un dispositivo que transmite datos también podrá recibir. La interfaz SPI de cuatro líneas consta de tres líneas comunes a todos los dispositivos y una cuarta línea que permite seleccionar un dispositivo esclavo en particular. De las tres líneas comunes dos se utilizan para transmitir datos (una línea en cada dirección) y la tercera línea es la de reloj. Los dispositivos conectados al bus son definidos como maestros y esclavos. Un maestro es aquel que inicia la transferencia de información sobre el bus y genera las señales de reloj y control. Un esclavo es un dispositivo controlado por el maestro. Cada esclavo es controlado a través de una línea selectora llamada *Chip Select* o *Select Slave*, por lo que el esclavo es activado sólo cuando esta línea es seleccionada. Generalmente una línea de selección es dedicada para cada esclavo. Todas las líneas del bus transmiten la información sobre una sola dirección.

- La señal sobre la línea de reloj (SCLK) es generada por el maestro y sincroniza la transferencia de datos.
- La línea MOSI (*Master Out Slave In*) transporta los datos del maestro hacia el esclavo.
- La línea MISO (*Master In Slave Out*) transporta los datos del esclavo hacia el maestro.

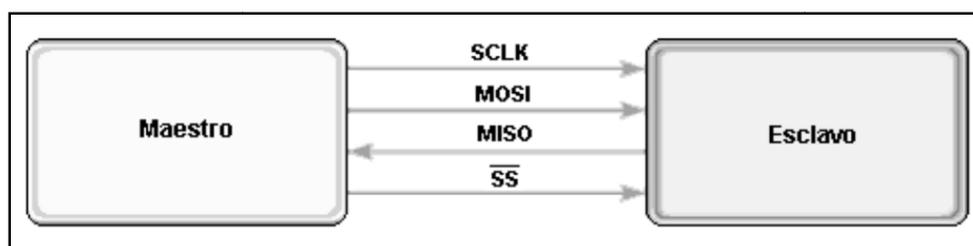


Figura 9. Líneas del bus SPI para un dispositivo maestro y un esclavo.

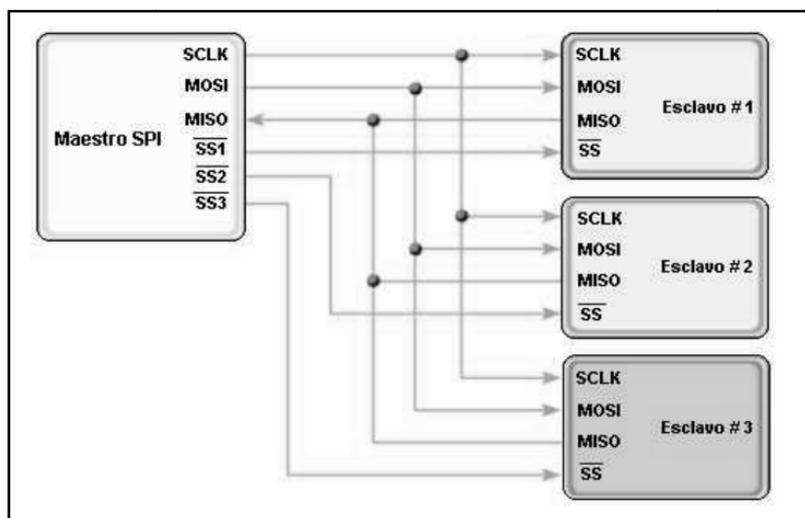


Figura 10. Líneas del bus SPI para un dispositivo maestro con varios esclavos.

II. MÉTODO

El desarrollo del presente trabajo se dividió en tres etapas que se desarrollaron de manera conjunta para integrarse como un sistema completo. Las etapas propuestas y sus funciones son las siguientes:

- Módulo de auto-rango.- Se encarga de la amplificación de las señales de entrada y de la comunicación con la etapa de procesamiento externa.
- Módulo de prueba.- Se encarga de simular el componente externo de procesamiento para comunicarse con el módulo de auto-rango de manera manual.
- Filtrado de señales.- Su función es realizar el filtrado de frecuencias altas de cada señal de entrada.

Para el desarrollo de las etapas propuestas se estructuraron una serie de pasos para una mejor planeación de las actividades a realizar. A continuación se enlista la serie de pasos planteados:

- Documentación e investigación teórica de los detalles técnicos relacionados con el proyecto tanto de manera general como del área específica de la etapa de adecuación.
- Investigación de las características y detalles técnicos de los dispositivos y herramientas que pueden ser viables para implementarse en el proyecto.
- Determinación de los algoritmos necesarios para el funcionamiento del módulo de auto-rango que serán programados en un microcontrolador.
- Programación y simulación de los algoritmos y dispositivos en software de diseño electrónico.
- Realización de pruebas de laboratorio de los componentes.
- Implementación y montaje de los componentes del sistema completo en tablas de prueba.
- Diseño e implementación de un módulo de pruebas para simular la etapa de procesamiento que controla el sistema.
- Realización de pruebas del sistema implementado.
- Análisis de los resultados obtenidos.
- Obtención de conclusiones.

IV. DISEÑO DEL SISTEMA

4.1 Descripción general del sistema.

El objetivo principal de la etapa de adecuación de señal con auto-rango es hacer un filtrado de las frecuencias altas para evitar el efecto alias en el muestreo del ADC y transmitir la señal a la etapa de procesamiento en los valores de amplitud máximos posibles. Primeramente se realiza el monitoreo de la señal para determinar su nivel de ganancia a partir de sus amplitudes máximas por ciclo y posteriormente se realiza el filtrado de las frecuencias altas de la señal. La verificación de los niveles de amplitud de la señal para un módulo completo de 8 canales es realizada con dos microcontroladores PIC16F877A de la compañía *Microchip Technology Inc.* Cada uno de los microcontroladores verifica las amplitudes de 4 canales de entrada y determina la ganancia correspondiente. La amplificación de cada señal es realizada con dispositivos PGA (Amplificadores de Ganancia Programable) del modelo MCP6S21 de Microchip. Cada uno de estos dispositivos es controlado por el

microcontrolador que monitorea la señal correspondiente a la que amplifica. Cada uno de los dos microcontroladores utilizados por el módulo de auto-rango tiene comunicación hacia la etapa de procesamiento a través de 10 pines utilizando la interfaz SPI de comunicación. Para el filtrado de cada señal se utiliza el circuito integrado MF6CN-50. Adicionalmente se agregó un circuito comparador de ventana que detecta la saturación de la señal amplificada para que el microcontrolador baje la ganancia del amplificador en el menor tiempo posible. El diagrama a bloques del sistema completo para cuatro señales se muestra en la figura 11.

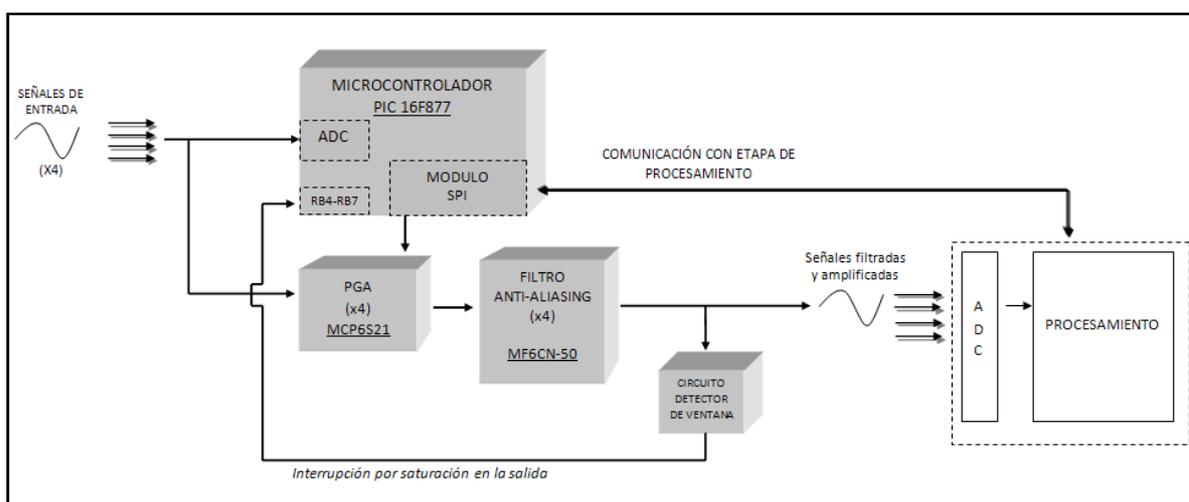


Figura 11. Diagrama a bloques del sistema para 4 señales.

4.2 Diseño del módulo de auto-rango.

El módulo de auto-rango se encarga de amplificar 4 señales de entrada a partir de sus valores de voltaje pico durante un tiempo específico. El módulo determina la ganancia para cada señal obteniendo muestras de cada una con el convertidor analógico-digital del microcontrolador y comparando sus máximos con 3 niveles de voltaje establecidos para cada canal. Los 3 niveles establecidos generan 4 rangos de ganancia para cada señal que están comprendidos entre el valor offset de la señal de

2.5 V y el voltaje máximo de referencia de 5V. El módulo de auto-rango tiene programados valores preestablecidos de ganancia para cada uno de los 4 rangos y valores límite para cada uno de estos.

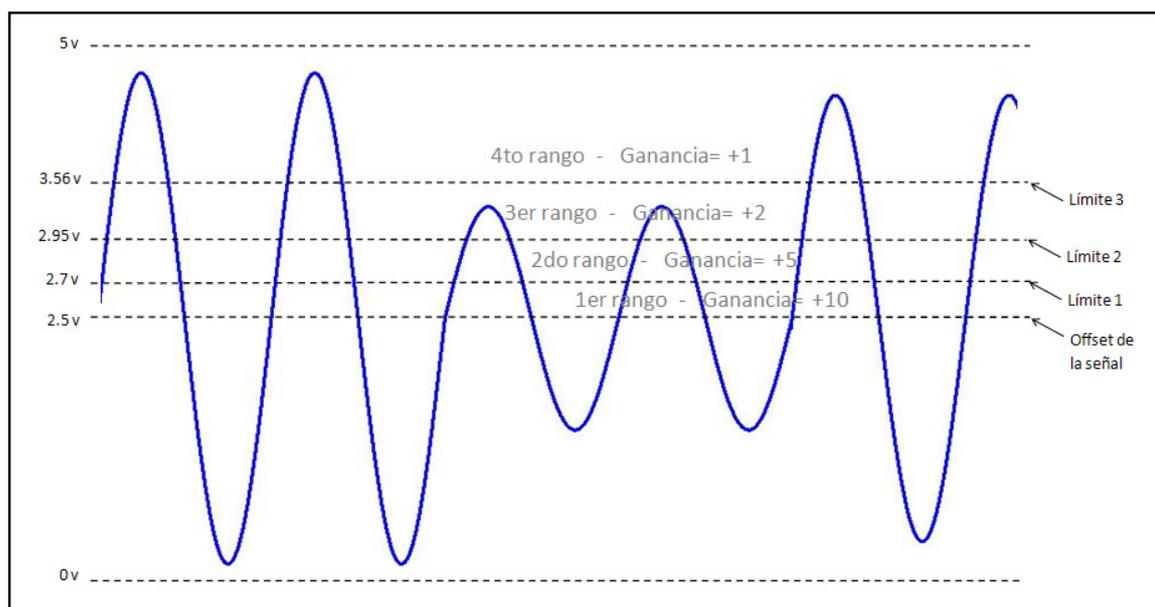


Figura 12. Representación de los rangos y límites preestablecidos para el módulo de auto-rango.

4.2.1 Muestreo y determinación de ganancias.

El algoritmo diseñado para determinar la ganancia de las señales realiza el muestreo de un canal a la vez utilizando 4 entradas analógicas del microcontrolador (RA0 – RA3). Al tomar la muestra de cada canal compara el valor obtenido con el valor del registro de máximo almacenado. Si la muestra es mayor, este valor pasa al registro de valor máximo para el canal respectivo. El tiempo necesario para obtener una muestra de cada uno de los cuatros canales es de aproximadamente 196 us por lo que la frecuencia de muestreo para cada canal es de $5.1 \text{ kHz} = 1/196 \text{ us}$.

El ciclo de muestreo y determinación de máximos se repite escalonadamente para cada canal durante 33 milisegundos, correspondientes aproximadamente a 2 ciclos para una señal senoidal de 60 Hz. Al transcurrir 33 milisegundos el microcontrolador carga los registros de valor máximo obtenidos para cada canal y los compara con los registros de límites para determinar el rango en que se encuentran y asignar la ganancia correspondiente. Una vez asignadas las ganancias los valores máximos son borrados y se inicia el ciclo para determinar los máximos nuevamente.

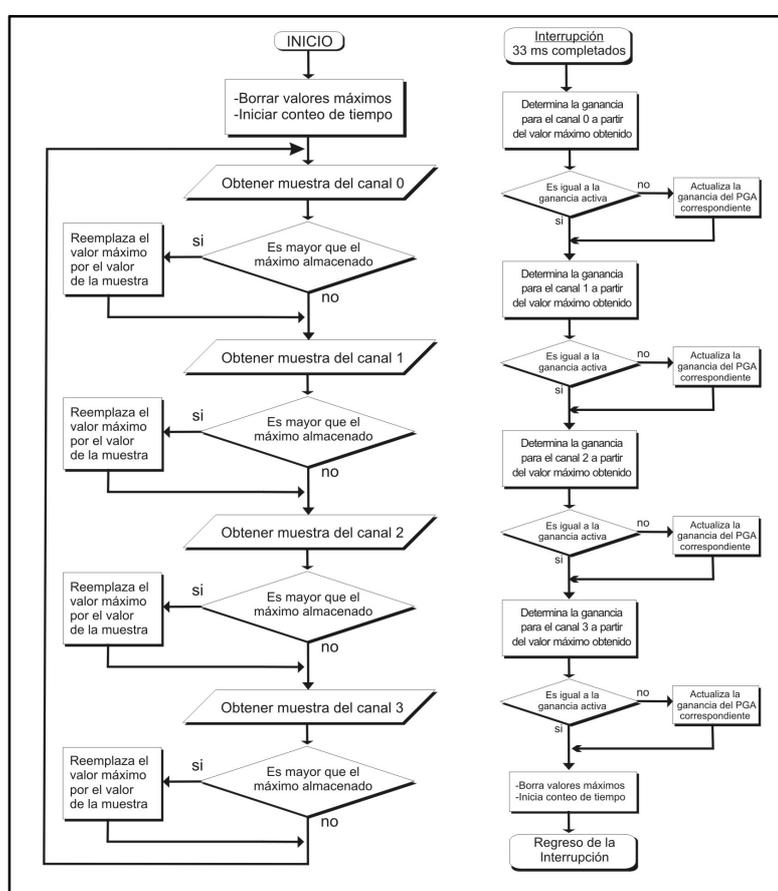


Figura 13. Diagrama de flujo que representa el algoritmo para determinar las ganancias de cada señal de entrada.

Cuando los máximos de una señal se encuentran cercanos a un valor de límite se puede producir inestabilidad, ya que pueden ocurrir cambios de ganancias

demasiado rápido tanto para un rango sobre el límite como para un rango bajo por debajo de este. Esto ocurre debido a que el valor máximo obtenido puede fluctuar entre un rango de valores diferentes limitado tanto por la resolución del ADC como por el número de muestras que se toman de la señal por ciclo. Para prevenir esto se añadió un algoritmo en la etapa de asignación de ganancia el cual compara el valor máximo obtenido con un respaldo del valor máximo obtenido la última vez que ocurrió un cambio de ganancia en el amplificador correspondiente. Para determinar que un cambio de ganancia es válido, el máximo recién obtenido y el máximo de respaldo deben tener al menos 5 unidades de diferencia entre sus valores obtenidos por el ADC. Cuando esta condición se cumple y se determina un cambio de ganancia, el valor máximo recién obtenido sustituye el valor máximo de respaldo y queda para ser comparado con el máximo de los siguientes ciclos.

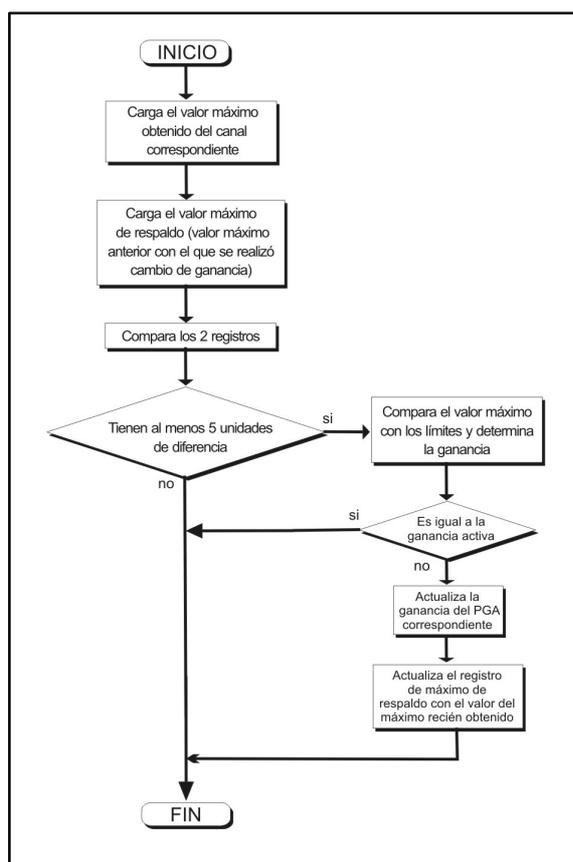


Figura 14. Diagrama de flujo que representa el algoritmo para evitar inestabilidad en el cambio de ganancia.

4.2.2 Comunicación con los amplificadores programables.

Cuando se ha determinado un cambio de ganancia en alguna de las señales, el microcontrolador pasa a una subrutina que se encarga de enviar a través del módulo SPI la información necesaria para cambiar la ganancia en el amplificador PGA correspondiente. La programación del amplificador se realiza enviando una cadena de 2 bytes por el puerto RC5 configurado como salida de datos (SDO) del módulo SPI. Además se activa el puerto RC3 configurado como señal de reloj (SCK) el cual está configurado a una frecuencia de 5 MHz ($F_{osc}/4$).

Para habilitar cada uno de los amplificadores se utilizan como salida los cuatro bits menos significativos del puerto D (RD0 – RD3), cada uno de los cuales se encuentra conectado al pin CS (*Chip select*) del amplificador correspondiente. Cuando un amplificador va a ser programado, su pin de selección CS pasa de nivel alto a bajo con lo cual queda habilitado para la recepción de datos.

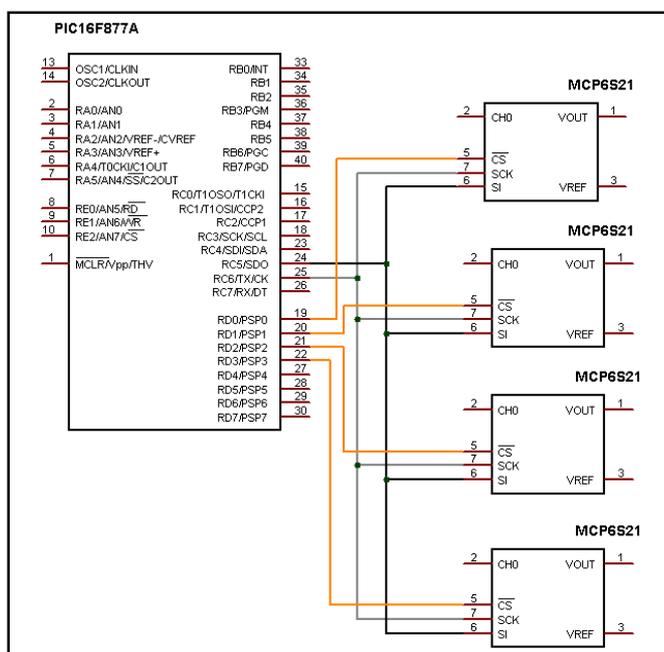


Figura 15. Conexión del microcontrolador con los amplificadores PGA.

4.2.3 Comunicación con etapa de procesamiento.

La comunicación de los microcontroladores con la etapa de procesamiento se realiza a través del módulo de comunicación serial SPI. Cada microcontrolador cuenta con un pin de salida para notificar el cambio de alguna de las ganancias de las señales. El pin establecido en ambos es RC7. Para el caso de recibir información y pasar a modo esclavo, cada microcontrolador utiliza el pin entrada RB0 en modo de interrupción en flanco de subida. Al ocurrir el flanco de subida en el microcontrolador correspondiente, éste pasa a modo esclavo y se prepara para recibir la configuración externa. Al ocurrir el flanco de bajada el módulo regresa al modo automático y opera con las configuraciones establecidas. La interconexión propuesta con el componente externo de procesamiento se muestra en la siguiente imagen.

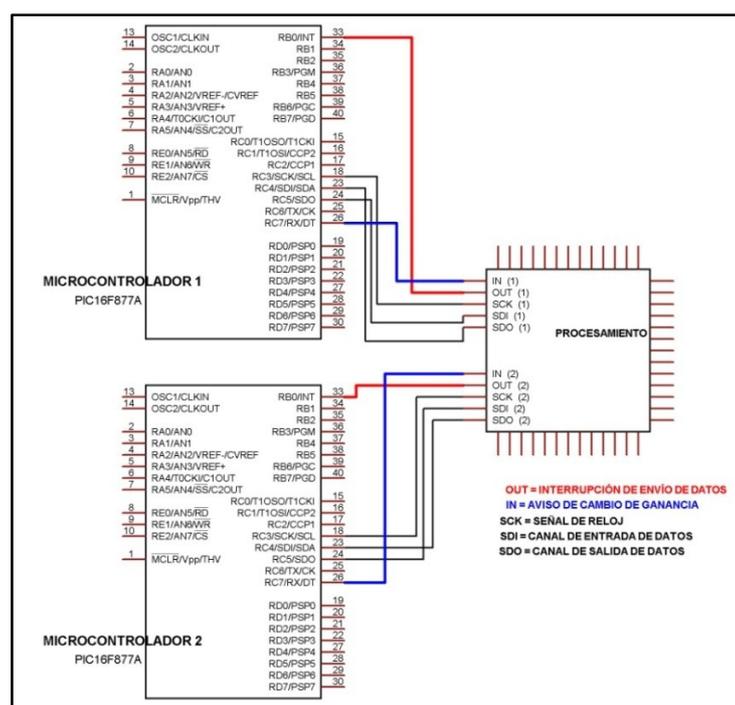
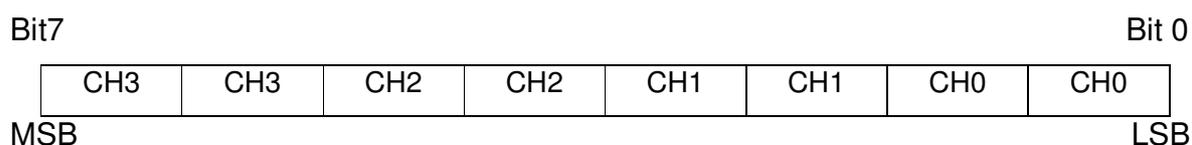


Figura16. Conexión propuesta entre el módulo de auto-rango y el dispositivo de procesamiento.

Debido a que al momento de configurar alguno de los microcontroladores es necesario que el otro siga funcionando de manera automática, el diagrama de conexión propuesto utiliza dos pines de conexión SCK (señal de reloj), SDI (datos de entrada) y SDO (datos de salida) como conexión al dispositivo de procesamiento. Esto evita que al configurar uno de los microcontroladores, las señales enviadas interfieran con el funcionamiento del otro, dado que el módulo SPI es usado también para programar los amplificadores PGA.

4.2.3.1 Envío de rangos por cambio de ganancia.

Cada vez que alguno de los microcontroladores realiza un cambio de ganancia en al menos uno de los amplificadores, automáticamente éste pone en “1” el puerto RB7 para avisar el cambio de ganancia a la etapa procesamiento y posteriormente enviar a través del módulo SPI el rango en el cual se encuentran las 4 señales. La frecuencia de reloj para el envío de datos es de 5 MHz ($F_{osc}/4$). La información es enviada en un byte que indica el rango en el que se encuentra cada una de las señales. El formato es el siguiente.



El par de bits correspondiente a cada canal representa, dependiendo de su estado, en cual de los 4 rangos se encuentra la señal.

00 = 4.o rango

01 = 3.er rango

10 = 2.o rango

11 = 1.er rango

Ejemplo:

Byte enviado: "01 10 00 11"

El canal cero (CH0) se encuentra en el primer rango y tiene la mayor de las ganancias.

El canal uno (CH1) se encuentra en el cuarto rango y tiene la menor de las ganancias.

El canal dos (CH2) se encuentra en el segundo rango.

El canal tres (CH3) se encuentra en el tercer rango.

4.2.3.2 Recepción de información y cambio a modo esclavo.

El módulo de auto-rango puede configurarse externamente desde otro dispositivo a través del módulo SPI de los microcontroladores. Las configuraciones que pueden realizarse son:

- Establecer los valores de voltaje límite para los rangos de amplificación de cualquiera de los canales.
- Establecer la ganancia que se aplicará a los rangos de amplificación de cualquiera de los canales.
- Establecer la ganancia de la señales para un rango determinado de manera forzada (modo esclavo).
- Restablecer los valores de ganancia y de límites a sus valores iniciales (reset).

Para realizar cualquiera de las configuraciones anteriores es necesario poner en '1' el puerto RB0 del microcontrolador a configurar, en ese momento el microcontrolador se va interrupción y se pone en modo esclavo. En este modo el microcontrolador se prepara para recibir una cadena de 2 bytes que le indique la configuración deseada. El primer byte corresponde a la instrucción y el segundo a los datos. La frecuencia

máxima de operación para la señal de reloj externa es de 2.27 MHz correspondientes a los tiempos mínimos en alto y bajo necesarios para la señal de reloj, los cuales son en ambos de 220 ns.

Al realizar el envío del par de bytes es muy importante configurar de inmediato el puerto de la señal de reloj (SCK) como entrada en el dispositivo de procesamiento para evitar un choque de estados en caso de que el módulo de auto-rango actualice ganancias en los amplificadores. Para salir del modo esclavo y que las configuraciones de límites y ganancia tengan efecto es necesario poner el puerto RB0 en cero de nuevo. Para funcionar en modo esclavo y poner las señales con ganancias forzadas es necesario mantener el puerto RB0 en uno.

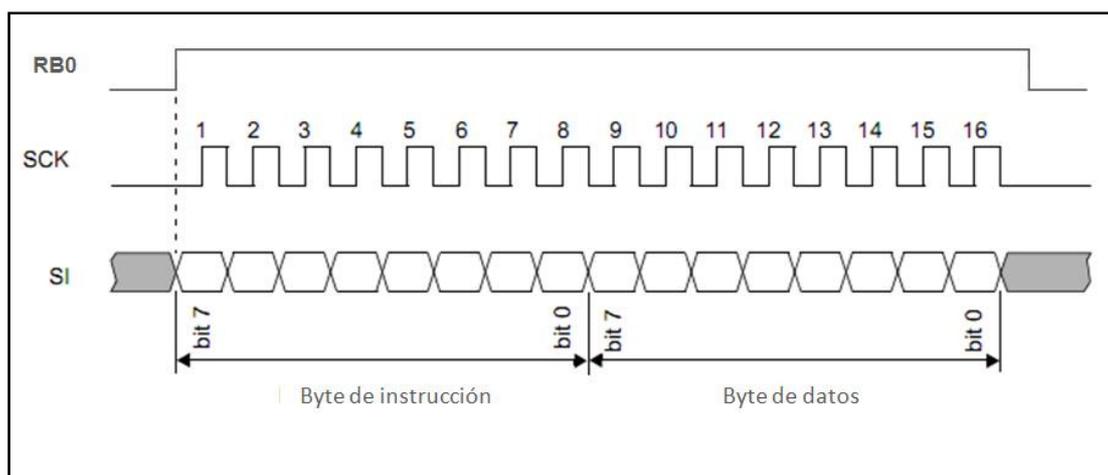
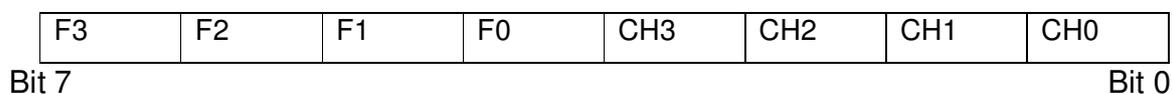


Figura17. Diagrama de tiempos para recibir la instrucción y datos.

Nota: Al terminar el envío de datos y salir del modo esclavo el microcontrolador regresa a su estado automático y el puerto SCK es configurado como salida para controlar los amplificadores PGA, de manera que es recomendable que cualquier puerto conectado al mismo se configure como entrada de modo que no interfiera con la operación del puerto.

BYTE DE INSTRUCCIÓN



Bit 7-4 F3-F0 BITS DE INSTRUCCIÓN

0000 = RESET (Regresa al microcontrolador a su estado inicial de límites y ganancias). (Nota 1) *

0001 = LÍMITE 1 (Coloca el valor del byte de datos como primer límite para el canal especificado).

0010 = LÍMITE 2 (Coloca el valor del byte de datos como segundo límite para el canal especificado).

0011 = LÍMITE 3 (Coloca el valor del byte de datos como tercer límite para el canal especificado).

0100 = GANANCIA 0 (Establece el valor de ganancia indicado en el byte de datos para el 4.o rango del canal especificado).

0101 = GANANCIA 1 (Establece el valor de ganancia indicado en el byte de datos para el 3.er rango del canal especificado).

0110 = GANANCIA 2 (Establece el valor de ganancia indicado en el byte de datos para el 2.o rango del canal especificado).

0111 = GANANCIA 3 (Establece el valor de ganancia indicado en el byte de datos para el 1.er rango del canal especificado).

1XXX = NIVELES DE GANANCIA EN MODO ESCLAVO (Establece un rango de ganancia forzado para cada canal, los niveles para cada canal se obtienen del byte de datos). (Nota 1)(Nota 2) *

Nota 1: Para estas funciones no se requiere especificar canal.

Nota 2: Se requiere mantener el bit de modo esclavo en '1' para la operación de esta función, al poner en '0' el bit de modo esclavo el microcontrolador regresa a su modo automático.

Bit 3-0 CH3-CH0 SELECCIÓN DE CANAL

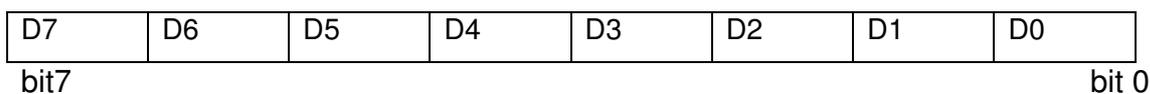
0000= Canal cero

0001= Canal uno

0010= Canal dos

0011= Canal tres

BYTE DE DATOS



Bit 3-0 D3-D0 VALORES DE GANANCIA

000= Ganancia de +1

001= Ganancia de +2

010= Ganancia de +4

011= Ganancia de +5

100= Ganancia de +8

101= Ganancia de +10

110= Ganancia de +16

111= Ganancia de +32

NIVELES DE GANANCIA EN MODO ESCLAVO

Bit 1-0 D1-D0 Rango para el canal cero (CH0).

Bit 3-2 D3-D2 Rango para el canal uno (CH1).

Bit 5-4 D5-D4 Rango para el canal dos (CH2).

Bit 6-7 D7-D6 Rango para el canal tres (CH3).

VALORES PARA ASIGNAR GANANCIA.

00= Asigna ganancia del cuarto rango.

01= Asigna ganancia del tercer rango.

10= Asigna ganancia del segundo rango.

11= Asigna ganancia del primer rango.

Tabla 1. Registros del microcontrolador para límites y ganancias.

Dirección de memoria de datos en el microcontrolador	Nombre del registro	Descripción
20h	LIMITE_1_CH0	Valor límite 1 del canal 0.
21h	LIMITE_2_CH0	Valor límite 2 del canal 0.
22h	LIMITE_3_CH0	Valor límite 3 del canal 0.
23h	GANANCIA_0_CH0	Ganancia del cuarto rango para el canal 0.
24h	GANANCIA_1_CH0	Ganancia del tercer rango para el canal 0.
25h	GANANCIA_2_CH0	Ganancia del segundo rango para el canal 0.
26h	GANANCIA_3_CH0	Ganancia del primer rango para el canal 0.
27h	LIMITE_1_CH1	Valor límite 1 del canal 1.
28h	LIMITE_2_CH1	Valor límite 2 del canal 1.
29h	LIMITE_3_CH1	Valor límite 3 del canal 1.
2Ah	GANANCIA_0_CH1	Ganancia del cuarto rango para el canal 1.
2Bh	GANANCIA_1_CH1	Ganancia del tercer rango para el canal 1.
2Ch	GANANCIA_2_CH1	Ganancia del segundo rango para el canal 1.
2Dh	GANANCIA_3_CH1	Ganancia del primer rango para el canal 1.
2Eh	LIMITE_1_CH2	Valor límite 1 del canal 2.
2Fh	LIMITE_2_CH2	Valor límite 2 del canal 2.
30h	LIMITE_3_CH2	Valor límite 3 del canal 2.
31h	GANANCIA_0_CH2	Ganancia del cuarto rango para el canal 2.
32h	GANANCIA_1_CH2	Ganancia del tercer rango para el canal 2.
33h	GANANCIA_2_CH2	Ganancia del segundo rango para el canal 2.
34h	GANANCIA_3_CH2	Ganancia del primer rango para el canal 2.
35h	LIMITE_1_CH3	Valor límite 1 del canal 3.
36h	LIMITE_2_CH3	Valor límite 2 del canal 3.
37h	LIMITE_3_CH3	Valor límite 3 del canal 3.
38h	GANANCIA_0_CH3	Ganancia del cuarto rango para el canal 3.
39h	GANANCIA_1_CH3	Ganancia del tercer rango para el canal 3.
3Ah	GANANCIA_2_CH3	Ganancia del segundo rango para el canal 3.
3Bh	GANANCIA_3_CH3	Ganancia del primer rango para el canal 3.

Tabla 2. Relación de valores para límites de voltaje.

Valor de voltaje límite (Volts)	Valor correspondiente en el registro (Binario)	Valor correspondiente en el registro(Hexadecimal)
2.50	0111 1111	7Fh
2.55	1000 0010	82h
2.60	1000 0101	85h
2.65	1000 0111	87h
2.70	1000 1010	8Ah
2.75	1000 1100	8Ch
2.80	1000 1111	8Fh
2.85	1001 0001	91h
2.90	1001 0100	94h
2.95	1001 0111	97h
3.00	1001 1001	99h
3.05	1001 1100	9Ch
3.10	1001 1110	9Eh
3.15	1010 0001	A1h
3.20	1010 0011	A3h
3.25	1010 0110	A6h
3.30	1010 1000	A8h
3.35	1010 1011	ABh
3.40	1010 1110	A Eh
3.45	1011 0000	B0h
3.50	1011 0011	B3h
3.55	1011 0101	B5h
3.60	1011 1000	B8h
3.65	1011 1010	BAh
3.70	1011 1101	BDh
3.75	1011 1111	BFh
3.80	1100 0010	C2h
3.85	1100 0101	C5h
3.90	1100 0111	C7h
3.95	1100 1010	CAh
4.00	1100 1100	CCh
4.05	1100 1111	C Fh
4.10	1101 0001	D1h
4.15	1101 0100	D4h
4.20	1101 0110	D6h
4.25	1101 1001	D9h
4.30	1101 1100	DCh
4.35	1101 1110	DEh
4.40	1110 0001	E1h
4.45	1110 0011	E3h
4.50	1110 0110	E6h
4.55	1110 1000	E8h
4.60	1110 1011	EBh
4.65	1110 1101	EDh
4.70	1111 0000	F0h
4.75	1111 0011	F3h
4.80	1111 0101	F5h
4.85	1111 1000	F8h
4.90	1111 1010	FAh
4.95	1111 1101	FDh
5.0	1111 1111	FFh

4.3 Filtro anti-aliasing MF6CN-50.

El circuito integrado MF6CN-50 de National Semiconductor es un filtro activo pasabajas de respuesta Butterworth de 6.º orden. Este circuito integrado realiza el filtrado de la señal utilizando la técnica de capacitor conmutado por lo que para su funcionamiento es necesaria una señal de reloj externa que determine su frecuencia de corte para la señal de entrada. La frecuencia de la señal de reloj externa determina la frecuencia de corte del filtro con una relación de 50:1 de modo que, por ejemplo, para tener una frecuencia de corte de 1 kHz será necesario tener una señal de reloj de 50 kHz.

Considerando la ecuación 3 que sugiere la atenuación mínima en la banda de supresión para un filtro anti-aliasing, se tiene que para el convertidor analógico-digital de la etapa de procesamiento de 16 bits de resolución su atenuación mínima es

$$A_s > 20 \log(2^B \sqrt{6}) \text{ dB} \quad (3)$$

$$20 \log(2^{16} \sqrt{6}) \text{ dB} = 104 \text{ dB} = \textit{Atenuación mínima en la banda de supresión}$$

Dado que el circuito integrado MF6CN-50 tiene una respuesta Butterworth de 6.º orden se tiene que su atenuación en la banda de atenuación es de $20n \text{ dB}$ donde n es el orden del filtro y por lo tanto se tienen 120 dB por década de atenuación quedando por encima de la atenuación mínima requerida.

Para el filtrado de cada señal de la etapa de adecuación es necesario un circuito integrado MF6CN-50. Dado que la frecuencia de muestreo de la etapa de procesamiento es de aproximadamente 15.36 kHz (256 muestras por ciclo para una señal de 60 Hz), la frecuencia de corte del filtro deberá estar fijada en al menos la mitad de esta frecuencia para evitar el efecto alias. Por lo tanto la frecuencia de corte

de los filtro se estimo en aproximadamente 7.68 kHz. Para obtener esta frecuencia de corte se requiere una señal de reloj de 384 kHz. Esta señal de reloj es generada por el microcontrolador del módulo de auto-rango utilizando el módulo CCP del PIC16F877A en modo PWM. La señal es configurada desde el arranque del programa y una vez establecida se mantiene constante, generándose en segundo plano del resto del programa y sin interferir en las funciones del mismo. Dado que para la configuración seleccionada del filtro es necesario que la señal de reloj tenga valores CMOS de 0 a 10V se utilizó el circuito integrado MC1450 de On Semiconductor, el cual funciona como driver que ajusta los niveles de una señal TTL a CMOS. La configuración del filtro se muestra en la figura 18.

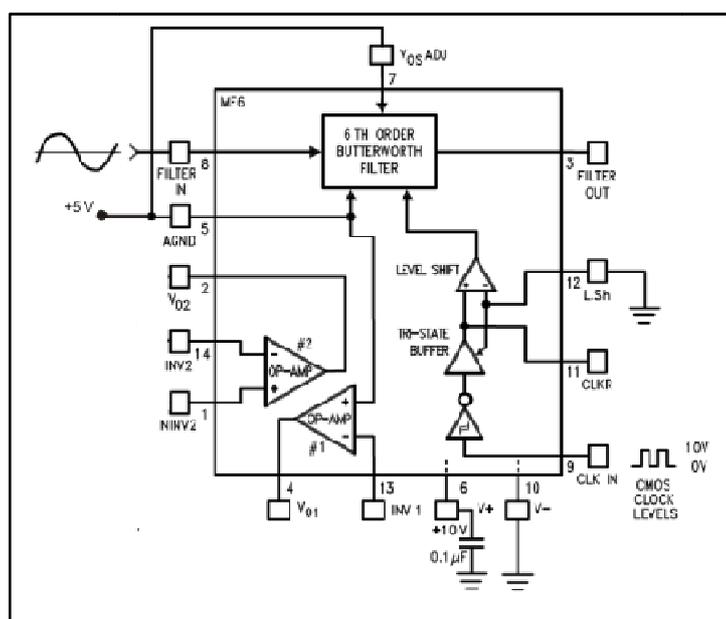


Figura18. Configuración del filtro MF6CN-50.

4.4 Circuito detector de ventana.

El circuito detector de ventana, también llamado comparador de ventana, permite determinar si una tensión de entrada está comprendida dentro de un rango de

tensiones. La señal de salida previamente amplificada y filtrada constituye la señal de entrada del circuito detector de ventana. Su función es generar un cambio de estado en su salida cuando la señal esté fuera del umbral de tensión establecido para evitar la saturación en la salida de los amplificadores programables del sistema. El cambio de estado en la salida del detector de ventana activa la interrupción por cambio de estado en el puerto B del microcontrolador (RB4-RB7). La interrupción detecta en cual amplificador ocurrió la saturación y programa la ganancia del amplificador correspondiente en el nivel mínimo de 0 dB. El circuito para una señal de entrada se compone básicamente de dos comparadores y dos tensiones de referencia que definen el límite superior (V_{TH}) e inferior (V_{TL}). El circuito detector de ventana está basado para su implementación en el circuito integrado LM339 el cual posee en un solo encapsulado 4 comparadores independientes. En la imagen siguiente se muestra el circuito detector de ventana para una señal con valores de tensión $V_{TH} = 4.97 V$ y $V_{TL} = 0.03 V$ para detectar saturación en el amplificador tanto en su valor máximo como en el mínimo.

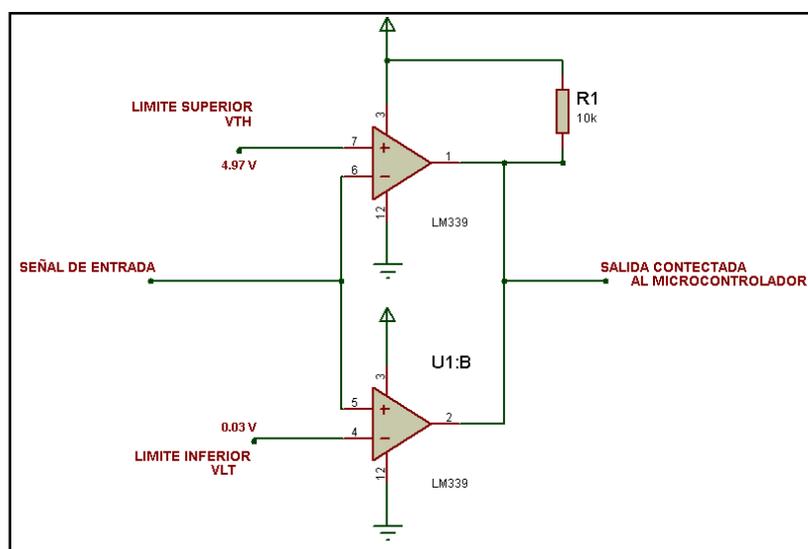


Figura19. Circuito detector de ventana implementado con el comparador cuádruple LM339.

El tiempo de respuesta aproximado para bajar los niveles de ganancia de un amplificador ante una saturación es de aproximadamente de 18.5 μ s. Este tiempo estimado es considerando un tiempo de respuesta típico de 1.3 μ s para el LM339 y tomando en cuenta las instrucciones a ejecutarse en el microcontrolador en la rutina de interrupción para detectar el canal y programar la ganancia del amplificador.

V. PRUEBAS Y RESULTADOS

5.1 Implementación del sistema completo.

El sistema completo para cuatro canales fue implementado para comprobar su funcionamiento de manera experimental. Así mismo se añadió al diseño del prototipo, una etapa extra como módulo de pruebas compuesta por otro microcontrolador y diversos componentes para simular la comunicación con el dispositivo externo de procesamiento. El prototipo fue implementado en cuatro placas de prueba (protoboard) utilizando fuentes de alimentación de corriente directa con tensiones de salida de 5 y ± 10 Volts. El sistema implementado para cuatro canales con su módulo de pruebas se muestra en la figura 20.

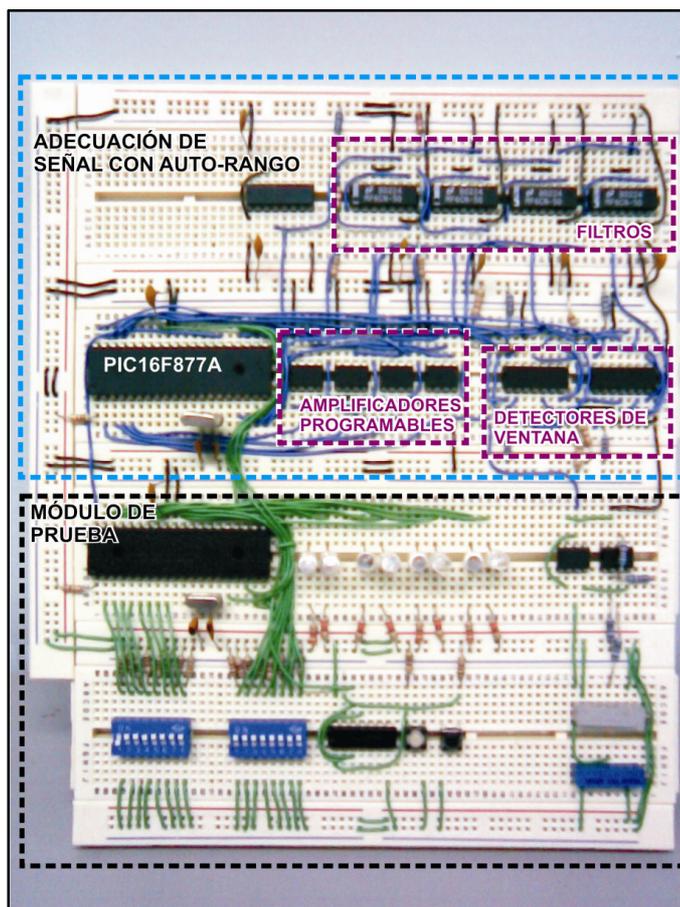


Figura 20. Sistema implementado en placa de pruebas.

5.2 Módulo de pruebas.

El módulo de pruebas consiste en un microcontrolador que simula el envío y recepción de información de la etapa de procesamiento hacia el módulo de auto-rango. El microcontrolador utilizado es, al igual que en el módulo de auto-rango, un PIC16F877A de Microchip que se encarga de enviar y recibir información a través del módulo SPI.

Además del microcontrolador, el módulo de prueba cuenta con 2 switches tipo DIP de ocho interruptores para introducir el par de bytes (instrucción y datos) necesarios

para configurar externamente el módulo de auto-rango. También cuenta con ocho leds de salida que muestran de manera externa el estado de ganancia enviado por el módulo de auto-rango y un interruptor para activar o desactivar el bit de envío de datos en el módulo de auto-rango.

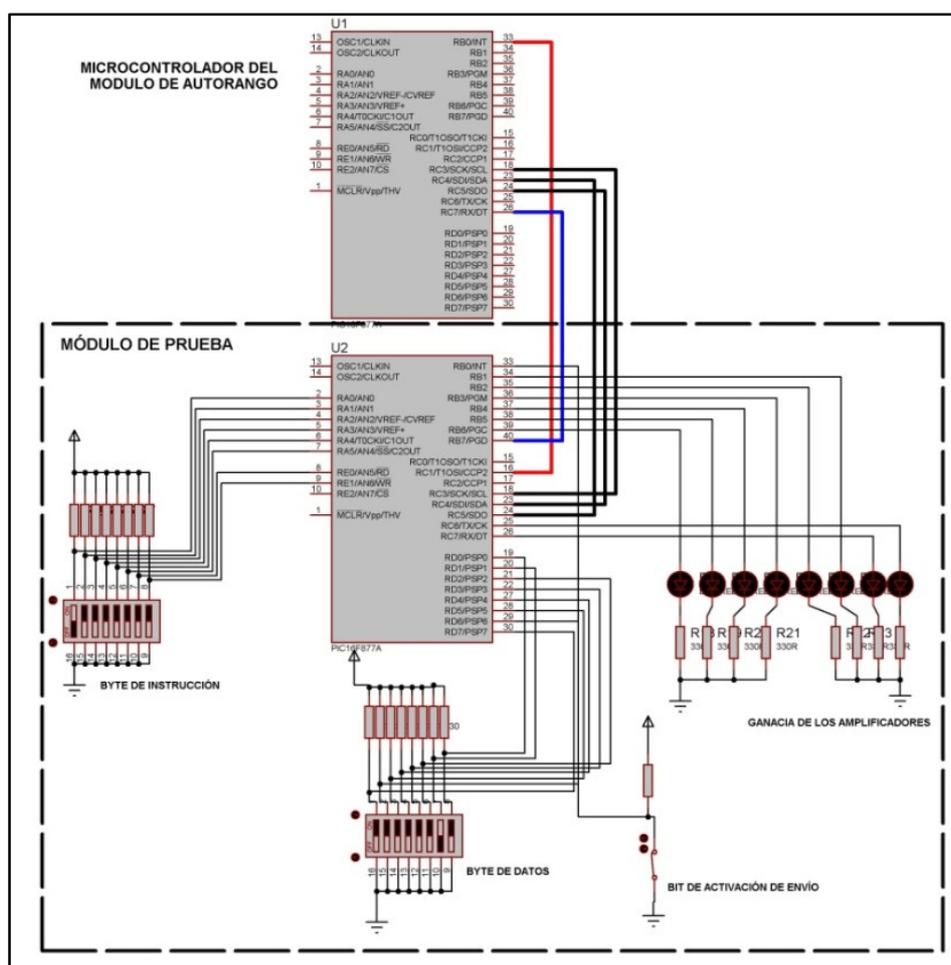


Figura 21. Módulo de pruebas y su conexión al módulo de auto-rango.

5.3 Pruebas del sistema completo

Para verificar el funcionamiento del sistema se utilizaron distintas señales de prueba con generadores de funciones para comprobar su respuesta para distintas

frecuencias entre 20 y 200 Hz, y amplitudes de onda entre 20 mV_{pp} y 5 V_{pp} . Se analizaron las señales de entrada y de salida para cada uno de los 4 amplificadores. Se verificó, observando en el osciloscopio los momentos en que al variar la amplitud de la señal de entrada ocurrían cambios de ganancia, que el módulo de auto-rango enviara hacia el módulo de prueba las ganancias correspondientes de los 4 amplificadores, información que es desplegada en los ocho leds de salida. Además se verificó la estabilidad del sistema para señales con máximos cercanos a los límites de cada rango.

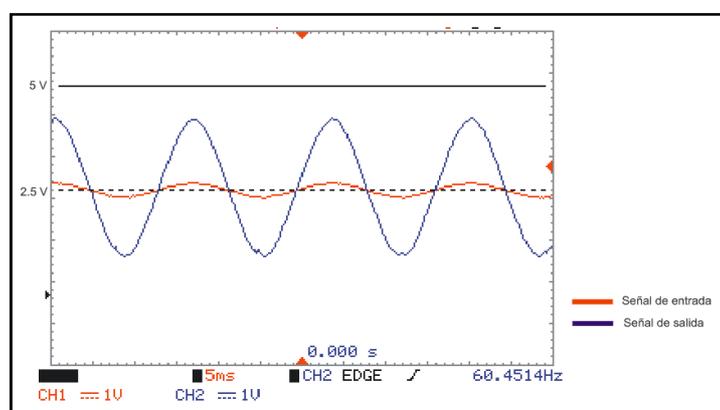


Figura 22. Señal de prueba de 60 Hz y su amplificación en el 1.er rango (+10).

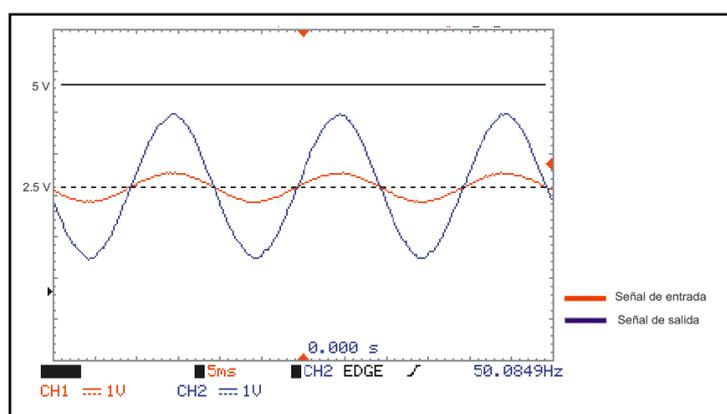


Figura 23. Señal de prueba de 50 Hz y su amplificación en el 2.o rango (+5).

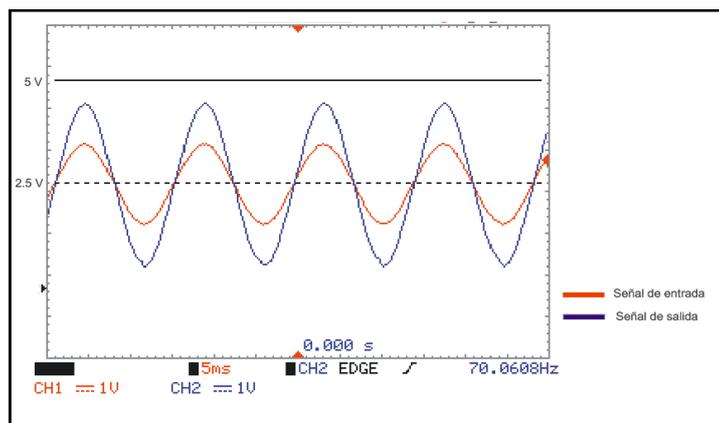


Figura 24. Señal de prueba de 70 Hz y su amplificación en el 3.er rango (+2).

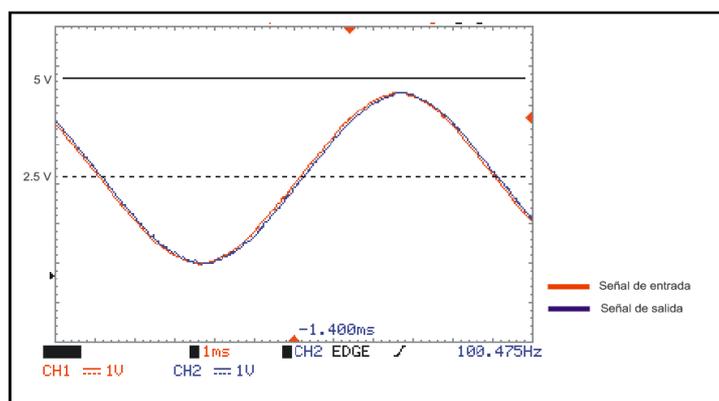


Figura 25. Señal de prueba de 100 Hz y su amplificación en el 4.o rango (+1).

Para verificar la comunicación con el módulo de prueba se realizaron pruebas de envío de datos introduciendo diversos comandos y valores con los micro-switch del módulo de prueba, comprobando su aplicación en el módulo de auto-rango.

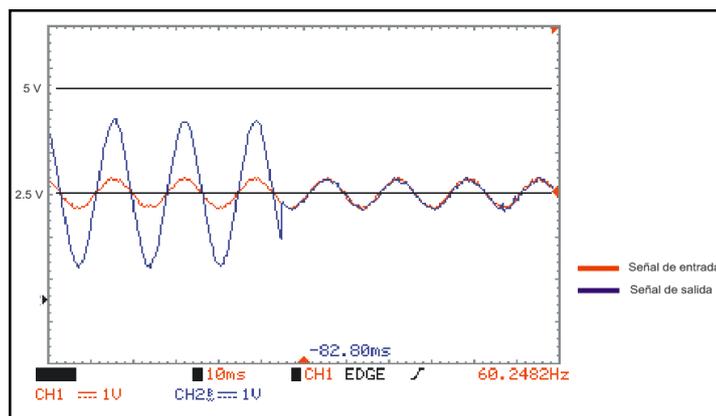


Figura 26. Cambio a modo esclavo del módulo para bajar la ganancia de la señal de manera forzada.

Para verificar el funcionamiento de los filtros se analizó su respuesta para diversas frecuencias de entrada para generar su gráfica de Bode para magnitud y fase de manera experimental. Se analizó la respuesta para 40 frecuencias distintas ubicada tanto en la banda de paso (*passband*) como en la banda de rechazo (*stopband*). Los resultados obtenidos se muestran en la tabla 3.

Tabla 3. Respuesta en magnitud y fase del filtro MF6CN-50 para distintos valores de frecuencia.

Frecuencia (Hz)	Ganancia (dB)	Desfase (grados)
10	0,00	0
20	0,00	0
40	0,00	0
50	0,00	0
60	0,00	0
70	0,00	0
80	0,00	0
90	0,00	0
100	0,00	0
150	0,00	0
200	0,00	0
300	0,00	-5
500	-0,08	-15
1.00E+03	-0,16	-28
2.00E+03	-0,24	-57
3.00E+03	-0,33	-90
4.00E+03	-0,41	-124
5.00E+03	-0,45	-162
6.00E+03	-0,58	-199
6.50E+03	-0,93	-211
6.75E+03	-1,11	-233
7.00E+03	-1,49	-237
7.10E+03	-1,68	-241
7.20E+03	-1,98	-259
7.30E+03	-2,18	-263
7.40E+03	-2,39	-266
7.50E+03	-2,61	-268
7.60E+03	-2,83	-271
7.68E+03	-3,05	-274
7.70E+03	-3,17	-276
7.80E+03	-3,52	-284
7.90E+03	-3,89	-290
8.00E+03	-4,28	-297
8.20E+03	-5,11	-307
8.50E+03	-6,52	-321
9.00E+03	-9,07	-334
10.0E+03	-14,22	-360
11.0E+03	-18,39	-380
13.0E+03	-25,11	-420
15.0E+03	-37,75	-448

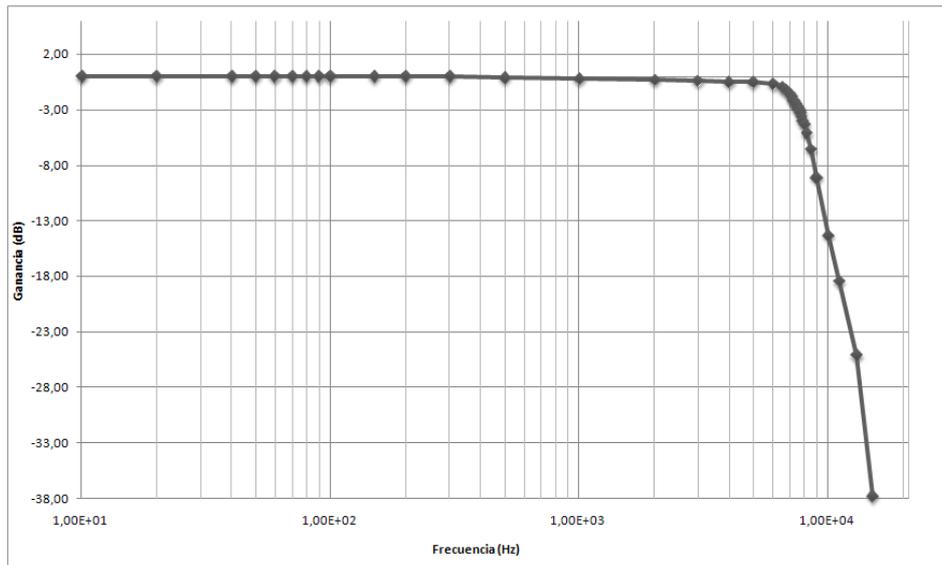


Figura 27. Gráfica de Bode de magnitud del filtro MF6CN-50 generada a partir de los datos de la tabla 3.

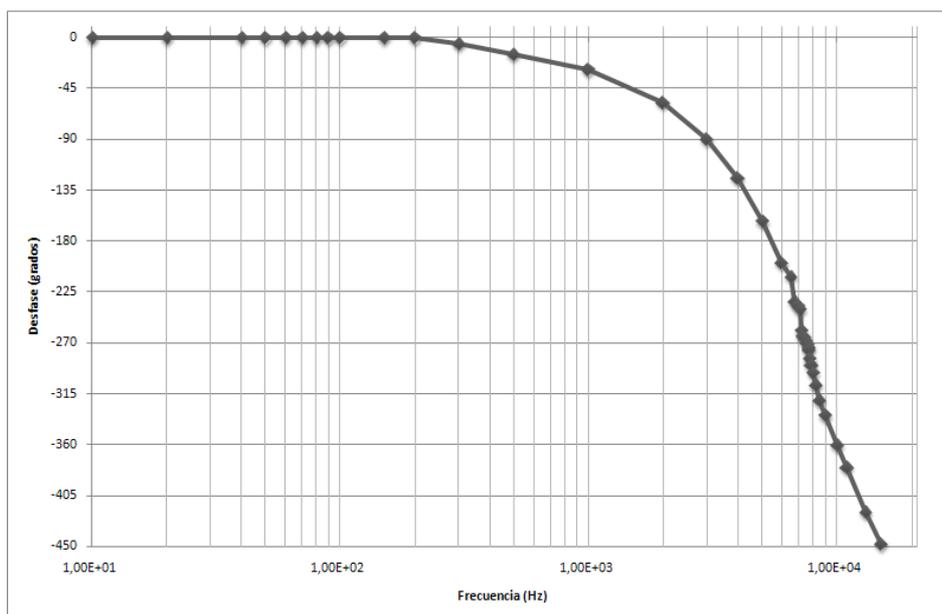


Figura 28. Gráfica de Bode de fase del filtro MF6CN-50 generada a partir de los datos de la tabla 3.

Además se realizaron pruebas con señales sinusoidales de baja frecuencia sumadas a señales de alta frecuencia de baja amplitud para verificar la atenuación de las frecuencias por encima de la frecuencia de corte.

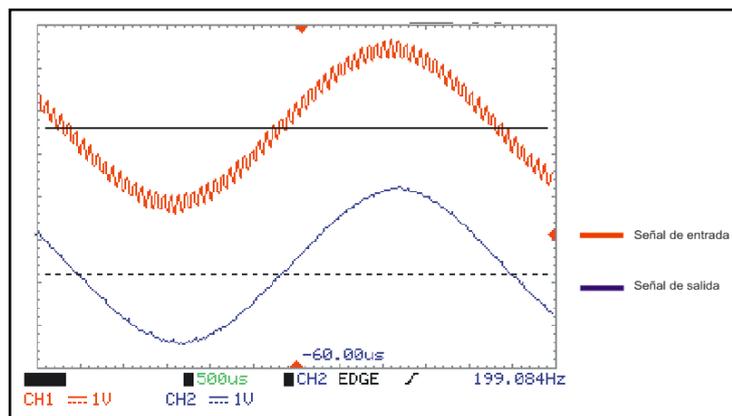


Figura 29. Señal de prueba de 200 Hz con componentes de alta frecuencia y su salida del filtro.

Se comprobó el funcionamiento del circuito detector de ventana con señales en saturación para comprobar su cambio de estado en la salida, la cual activa la interrupción en el microcontrolador.

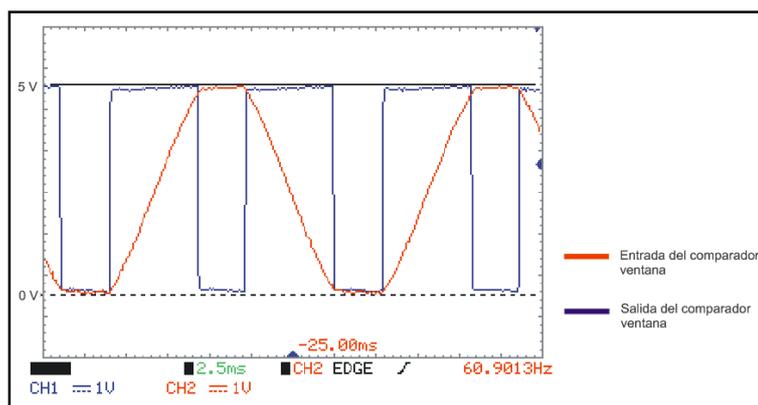


Figura 30. Respuesta del circuito detector de ventana.

Las pruebas al circuito detector de ventana conectado al microcontrolador se hicieron aplicando cambios súbitos de amplitud de la señal de entrada para verificar su respuesta en el osciloscopio. Los cambios se hacían en estados de baja amplitud de señal de entrada hacia mayor amplitud para forzar la saturación de los amplificadores.

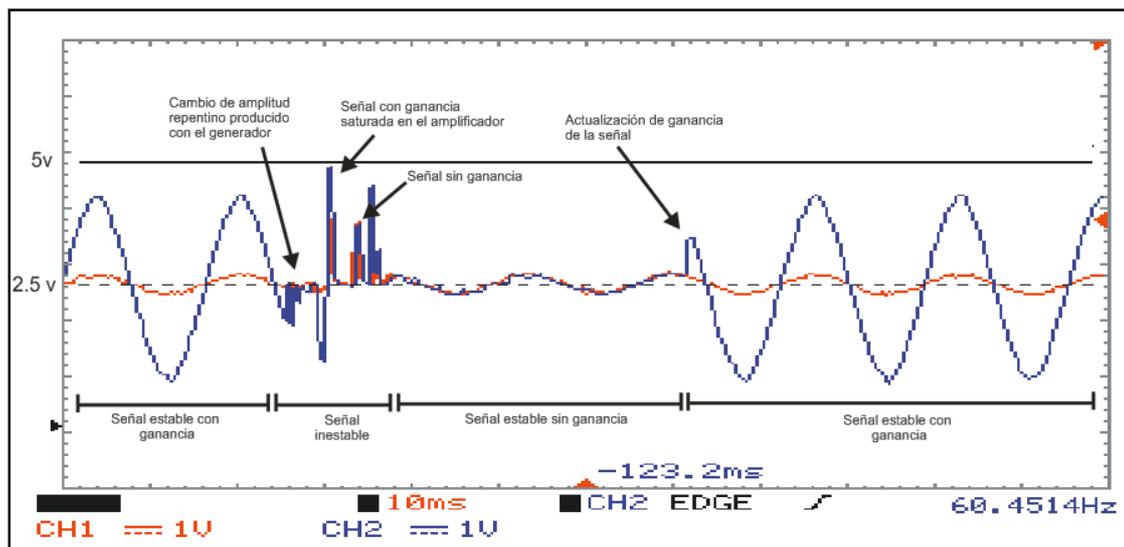


Figura 31. Respuesta del sistema al cambio repentino de amplitud para verificar el circuito detector de ventana.

VI. CONCLUSIONES

Las pruebas realizadas al sistema resultaron satisfactorias tanto en la parte de amplificación y filtrado como en la comunicación con el microcontrolador externo. Quedó comprobado el funcionamiento del sistema de manera experimental para cuatro señales obtenidas de generadores de funciones a distintas frecuencias, amplitudes y fases. Las pruebas con señales procedentes de los transductores a utilizar en el sistema de monitoreo no fueron realizadas ya que al momento de la realización del presente trabajo no se disponían de ellos, aunque, los modelos ya habían sido seleccionados y sus especificaciones fueron consideradas en el diseño del sistema. Las pruebas de comunicación con el dispositivo de procesamiento (PIC32MX360F512L) fueron simuladas por un módulo de prueba por razones de disponibilidad, pero, dado que la interfaz SPI es un estándar en comunicación serial de dispositivos electrónicos y que el dispositivo de procesamiento es de el mismo fabricante (*Microchip Technology Inc*), su conexión y funcionamiento está prácticamente asegurado siguiendo correctamente los procedimientos descritos en

la parte de comunicación con etapa de procesamiento (capítulo IV, sección 4.2.3) del presente trabajo. Complementando lo anterior puede decirse que el sistema no está limitado al dispositivo de procesamiento citado, sino que puede interactuar con gran variedad de dispositivos, siempre y cuando cuenten con un módulo de comunicación serial SPI y las características adecuadas como nivel de voltaje, puertos disponibles y velocidad de transmisión de datos adecuada.

Con respecto al módulo de auto-rango podría decirse que aunque está diseñado para 4 canales por cada microcontrolador, el sistema es fácilmente adaptable para otras aplicaciones de menor cantidad de señales, lo cual lo haría más eficiente en cuanto a su velocidad de muestreo por canal y a la rapidez de respuesta para actualizar ganancia en los amplificadores, sin necesidad de agregar componentes.

Por lo tanto, el proyecto satisface los requerimientos para el sistema de monitoreo de energía eléctrica en su etapa correspondiente, y cumple con el objetivo de dar una solución para la adecuación de las señales del sistema trabajando de forma autónoma o, controlado y configurado por un dispositivo externo.

BIBLIOGRAFÍA

[1] Alciatore, D. y Histan M. 2008. *Introducción a la mecatrónica y los sistemas de medición*. Tercera edición. Editorial McGraw-Hill. México.

[2] Ambardar, A Shock. 2002. *Procesamiento de señales analógicas y digitales*. Segunda edición. International Thomson Editores. México.

[3] Enríquez Harper, Gilberto. 2002. *ABC de la calidad de la energía eléctrica*. Editorial Limusa. México.

[4] Gonzalez, Fidel. “*Administración de insumos energéticos*”. (Documento pdf). http://www.conae.gob.mx/work/sites/CONAE/resources/LocalContent/4081/2/fidel_gonzalez.pdf. (2009).

[5] Plan Nacional de desarrollo 2007-2012. Eje 2. Economía competitiva y generadora de empleos 2.11 Energía: Electricidad e hidrocarburos. (Documento pdf). http://pnd.calderon.presidencia.gob.mx/pdf/Eje2_Economia_Competitiva_y_Generadora_de_Empleos/2_11_Energia_Electricidad_e_Hidrocarburos.pdf. (2009).

[6] Proakis, John G. 1998. *Tratamiento digital de señales*. Tercera edición. Editorial Prentice Hall. España.

[7] Valdés, F. y R. Palla. 2007. *Microcontroladores: Fundamentos y aplicaciones con PIC*. Editorial Marcombo. España.

APÉNDICE A

PROGRAMA DEL MICROCONTROLADOR EN LENGUAJE ENSAMBLADOR

```

;=====
;= PROGRAMA QUE CONTROLA LA GANANCIA DE 4 SEÑALES DE =
;= ENTRADA CON DISPOSITIVOS PGA (Programmable Gain =
;= Amplifier) PARA UN SISTEMA DE AUTORANGO CON =
;= COMUNICACIÓN A TRAVÉS DEL MÓDULO SPI (Serial =
;= Peripheral Interface) =
;=====
;= DISPOSITIVO: PIC16F877A =
;= FRECUENCIA DE TRABAJO: 20 MHz =
;=====
ERRORLEVEL -302
LIST P=16F877A
INCLUDE "P16F877A.INC"
CBLOCK 0X20 ;Declaración de variables.
LIMITE_1_CH0
LIMITE_2_CH0
LIMITE_3_CH0
GANANCIA_0_CH0
GANANCIA_1_CH0
GANANCIA_2_CH0
GANANCIA_3_CH0
LIMITE_1_CH1
LIMITE_2_CH1
LIMITE_3_CH1
GANANCIA_0_CH1
GANANCIA_1_CH1
GANANCIA_2_CH1
GANANCIA_3_CH1
LIMITE_1_CH2
LIMITE_2_CH2
LIMITE_3_CH2
GANANCIA_0_CH2
GANANCIA_1_CH2
GANANCIA_2_CH2
GANANCIA_3_CH2
LIMITE_1_CH3
LIMITE_2_CH3
LIMITE_3_CH3
GANANCIA_0_CH3
GANANCIA_1_CH3
GANANCIA_2_CH3
GANANCIA_3_CH3
PDE10
PDE11
GANANCIA
GANANCIA_0
GANANCIA_1
GANANCIA_2
GANANCIA_3
LIMITE_1
LIMITE_2
LIMITE_3
GANANCIA_EXTERNA
MAXIMO
MAXIMO1
MAXIMO2
MAXIMO3
MAXIMO4
EDO_GAN_TEMP
EDO_DE_GAN
EDO_DE_GAN1
EDO_DE_GAN2
EDO_DE_GAN3
EDO_DE_GAN4
CHIP_SELECT
EDO_DE_GAN44
EDO_DE_GAN22
GAIN_TO_SEND
G_CHANGE
GAN_TEMP
GANANCIA_TEMP
INSTRUCTION_BYTE
DATA_BYTE
INSTRUCTION
CONTADOR_TMR0
MAXIMO1_BACK

```

MAXIMO2_BACK
MAXIMO3_BACK
MAXIMO4_BACK
PDEL2
PDEL10
PDEL11
W_TEMP
STATUS_TEMP
ENDC

ORG 0x00
GOTO INICIO
ORG 0x04
GOTO ISR

ORG 0x06

;***** CONFIGURACIÓN DE PUERTOS *****
;***** Y REGISTROS INTERNOS *****

INICIO

BSF STATUS, 5
MOVLW 0x07
MOVWF CMCON
MOVLW 0x00
MOVWF ADCON1 ;Configuación del módulo ADC.
MOVLW 0x18
MOVWF TRISC ;Configuación del puerto C.
BSF TRISE, 0
BSF TRISE, 1
BSF TRISE, 2 ;Configuación del puerto E.
MOVLW 0xFF
MOVWF TRISA ;Configuación del puerto A.
MOVLW 0xF1
MOVWF TRISB ;Configuación del puerto B.
CLRF TRISD ;Configuación del puerto D.
MOVLW 0x47
MOVWF OPTION_REG ;Configuración del prescalador
;del TMR0 y del flanco de
;subida de la interrupción en
;el puerto B (RB4-RB7).

MOVLW 0x0C
MOVWF PR2
BCF STATUS, 5
MOVLW 0x03
MOVWF CONTADOR_TMR0
BSF G_CHANGE, 0

;***** VALORES LÍMITE *****
;***** Y DE GANANCIA PREESTABLECIDOS *****

MOVLW b'00000000'
MOVWF GANANCIA_0_CH0
MOVWF GANANCIA_0_CH1
MOVWF GANANCIA_0_CH2
MOVWF GANANCIA_0_CH3
MOVLW b'00000001'
MOVWF GANANCIA_1_CH0
MOVWF GANANCIA_1_CH1
MOVWF GANANCIA_1_CH2
MOVWF GANANCIA_1_CH3
MOVLW b'00000011'
MOVWF GANANCIA_2_CH0
MOVWF GANANCIA_2_CH1
MOVWF GANANCIA_2_CH2
MOVWF GANANCIA_2_CH3
MOVLW b'00000101'
MOVWF GANANCIA_3_CH0
MOVWF GANANCIA_3_CH1
MOVWF GANANCIA_3_CH2
MOVWF GANANCIA_3_CH3
MOVLW 0x8A
MOVWF LIMITE_1_CH0
MOVWF LIMITE_1_CH1
MOVWF LIMITE_1_CH2
MOVWF LIMITE_1_CH3
MOVLW 0x95

```

MOVWF LIMITE_2_CH0
MOVWF LIMITE_2_CH1
MOVWF LIMITE_2_CH2
MOVWF LIMITE_2_CH3
MOVLW 0XB6
MOVWF LIMITE_3_CH0
MOVWF LIMITE_3_CH1
MOVWF LIMITE_3_CH2
MOVWF LIMITE_3_CH3
;*****
BCF PORTC,7
;***** CONFIGURACIÓN DE LA SEÑAL DE *****
;***** RELOJ PARA LOS FILTROS A TRAVÉS *****
;***** DEL MÓDULO CCP EN MODO PWM *****
MOVLW 0X07
MOVWF CCP1L
MOVLW 0X04
MOVWF T2CON
MOVLW 0X0C
MOVWF CCP1CON
;*****
MOVLW 0XB8 ;Activación de interrupciones
MOVWF INTCON ;por desbordamiento de TMR0,
;flanco de subida en RB0 y
;cambio de estado en RB4-RB7.

;*****
;** Rutina que realiza el muestreo de la señal **
;** para determinar los valores máximos durante **
;** 2 ciclos para una señal de 60 Hz. **
;*****
CICLO1
MOVLW b'10000001' ;Configuración del ADC para el
MOVWF ADCON0 ;CH0 (RA0).
CALL RETARDO2
BSF ADCON0,2 ;Inicio de la conversión.
ADC_BUSY1
BTFSC ADCON0,2
GOTO ADC_BUSY1
MOVF ADRESH,0 ;Carga el valor de la conver-
SUBWF MAXIMO1,0 ;sión y lo compara con el
BTFSS STATUS,0 ;máximo del canal 0.
GOTO PONER_MAXIMO1 ;Si el valor obtenido es
GOTO CICLO2 ;menor salta y hace otra con-
PONER_MAXIMO1 ;versión, si no,carga el valor
MOVF ADRESH,0 ;como máximo para el canal 0.
MOVWF MAXIMO1

CICLO2
MOVLW b'10001001' ;Configuración del ADC para el
MOVWF ADCON0 ;CH1 (RA1)
CALL RETARDO2
BSF ADCON0,2 ;Inicio de la conversión
ADC_BUSY2
BTFSC ADCON0,2
GOTO ADC_BUSY2
MOVF ADRESH,0 ;Carga el valor de la conver-
SUBWF MAXIMO2,0 ;sión y lo compara con el
BTFSS STATUS,0 ;máximo del canal 1.
GOTO PONER_MAXIMO2 ;Si el valor obtenido es
GOTO CICLO3 ;menor salta y hace otra con-
PONER_MAXIMO2 ;versión, si no,carga el valor
MOVF ADRESH,0 ;como máximo para el canal 1.
MOVWF MAXIMO2

CICLO3
MOVLW b'10010001' ;Configuración del ADC para el
MOVWF ADCON0 ;CH2 (RA2)
CALL RETARDO2
BSF ADCON0,2 ;Inicio de la conversión
ADC_BUSY3
BTFSC ADCON0,2
GOTO ADC_BUSY3
MOVF ADRESH,0 ;Carga el valor de la conver-
SUBWF MAXIMO3,0 ;sión y lo compara con el
BTFSS STATUS,0 ;máximo del canal 2.

```

```

GOTO PONER_MAXIMO3 ;Si el valor obtenido es
GOTO CICLO4 ;menor salta y hace otra con-
PONER_MAXIMO3 ;versión, si no,carga el valor
MOVF ADRESH,0 ;como máximo para el canal 2.
MOVWF MAXIMO3

CICLO4
MOVLW b'10011001' ;Configuración del ADC para el
MOVWF ADCON0 ;CH3 (RA3)
CALL RETARDO2
BSF ADCON0,2 ;Inicio de la conversión
ADC_BUSY4
BTFSC ADCON0,2
GOTO ADC_BUSY4
MOVF ADRESH,0 ;Carga el valor de la conver-
SUBWF MAXIMO4,0 ;sión y lo compara con el
BTFSS STATUS,0 ;máximo del canal 3.
GOTO PONER_MAXIMO4 ;Si el valor obtenido es
GOTO CICLO1 ;menor salta y hace otra con-
PONER_MAXIMO4 ;versión, si no,carga el valor
MOVF ADRESH,0 ;como máximo para el canal 3.
MOVWF MAXIMO4
GOTO CICLO1 ;Regresa al ciclo 1 y vuelve a
;obtener y comparar muestras de
;los 4 canales.

;*****
;** VECTOR DE INTERRUPCIONES **
;** -INTERRUPCIÓN POR DESBORDAMIENTO DE TMR0 **
;** -INTERRUPCIÓN POR FLANCO DE SUBIDA EN RB0 **
;** -INTERRUPCIÓN POR CAMBIO DE ESTADO EN RB4-RB7 **
;*****

ISR
MOVWF W_TEMP
SWAPF STATUS,0
CLRF STATUS
MOVWF STATUS_TEMP

BTFSC INTCON,1
GOTO MODO_ESCLAVO ;Salto a modo esclavo y
;modo de recepción de
;datos.

BTFSC INTCON,0
GOTO BAJAR_GANANCIA

;***** DESBORDAMIENTO DE TMR0 *****
MOVLW 0X28
MOVWF TMR0
DECFSZ CONTADOR_TMR0,1
GOTO NEXT5

;*****
;** FIN DE TIEMPO PARA DETERMINAR MAXIMOS **
;** TIEMPO= 33 ms **
;** 33 ms = 2 ciclos para una señal de 60 HZ **
;*****
MOVLW b'11111110'
MOVWF CHIP_SELECT
MOVF LIMITE_1_CH0,0 ;Carga los valores de lí-
MOVWF LIMITE_1 ;mite y ganancia del CH0.
MOVF LIMITE_2_CH0,0
MOVWF LIMITE_2
MOVF LIMITE_3_CH0,0
MOVWF LIMITE_3
MOVF GANANCIA_0_CH0,0
MOVWF GANANCIA_0
MOVF GANANCIA_1_CH0,0
MOVWF GANANCIA_1
MOVF GANANCIA_2_CH0,0
MOVWF GANANCIA_2
MOVF GANANCIA_3_CH0,0
MOVWF GANANCIA_3

MOVF MAXIMO1_BACK,0 ;Compara el máximo del ca-

```

```

SUBWF MAXIMO1,0 ;nal 0 obtenido con el má-
BTFSS STATUS,0 ;ximo de respaldo del ca-
GOTO ETQ1 ;nal 0 y los compara; si
SUBLW 0X05 ;tienen al menos 5 unida-
BTFSC STATUS,0 ;des de diferencia actua-
GOTO JUMP1 ;liza ganancia, si no,
GOTO ETQ2 ;salta al siguiente canal
ETQ1 ;para evitar inestabilidad
MOVF MAXIMO1,0 ;en los cambios de ganan-
SUBWF MAXIMO1_BACK,0 ;cia.
SUBLW 0X05
BTFSC STATUS,0
GOTO JUMP1

ETQ2
MOVF MAXIMO1,0
MOVWF MAXIMO
MOVF EDO_DE_GAN1,0
MOVWF GAN_TEMP
CALL PONER_GANANCIA ;Llamada a rutina de
MOVF EDO_DE_GAN,0 ;cambio de ganancia.
MOVWF EDO_DE_GAN1
MOVF MAXIMO1,0
MOVWF MAXIMO1_BACK

JUMP1
MOVLW b'11111101'
MOVWF CHIP_SELECT
MOVF LIMITE_1_CH1,0 ;Carga los valores de lí-
MOVWF LIMITE_1 ;mite y ganancia del CH1.
MOVF LIMITE_2_CH1,0
MOVWF LIMITE_2
MOVF LIMITE_3_CH1,0
MOVWF LIMITE_3
MOVF GANANCIA_0_CH1,0
MOVWF GANANCIA_0
MOVF GANANCIA_1_CH1,0
MOVWF GANANCIA_1
MOVF GANANCIA_2_CH1,0
MOVWF GANANCIA_2
MOVF GANANCIA_3_CH1,0
MOVWF GANANCIA_3

MOVF MAXIMO2_BACK,0 ;Compara el máximo del ca-
SUBWF MAXIMO2,0 ;nal 1 obtenido con el má-
BTFSS STATUS,0 ;ximo de respaldo del ca-
GOTO ETQ3 ;nal 1 y los compara; si
SUBLW 0X05 ;tienen al menos 5 unida-
BTFSC STATUS,0 ;des de diferencia actua-
GOTO JUMP2 ;liza ganancia, si no,
GOTO ETQ4 ;salta al siguiente canal
ETQ3 ;para evitar inestabilidad
MOVF MAXIMO2,0 ;en los cambios de ganan-
SUBWF MAXIMO2_BACK,0 ;cia.
SUBLW 0X05
BTFSC STATUS,0
GOTO JUMP2

ETQ4
MOVF MAXIMO2,0
MOVWF MAXIMO
MOVF EDO_DE_GAN2,0
MOVWF GAN_TEMP
CALL PONER_GANANCIA ;Llamada a rutina de
MOVF EDO_DE_GAN,0 ;cambio de ganancia.
MOVWF EDO_DE_GAN2
MOVF MAXIMO2,0
MOVWF MAXIMO2_BACK

JUMP2
MOVLW b'11111011'
MOVWF CHIP_SELECT
MOVF LIMITE_1_CH2,0 ;Carga los valores de lí-
MOVWF LIMITE_1 ;mite y ganancia del CH2.
MOVF LIMITE_2_CH2,0
MOVWF LIMITE_2
MOVF LIMITE_3_CH2,0
MOVWF LIMITE_3

```

```

MOVF   GANANCIA_0_CH2,0
MOVWF  GANANCIA_0
MOVF   GANANCIA_1_CH2,0
MOVWF  GANANCIA_1
MOVF   GANANCIA_2_CH2,0
MOVWF  GANANCIA_2
MOVF   GANANCIA_3_CH2,0
MOVWF  GANANCIA_3

MOVF   MAXIMO3_BACK,0 ;Compara el máximo del ca-
SUBWF  MAXIMO3,0      ;nal 2 obtenido con el má-
BTFSS  STATUS,0      ;ximo de respaldo del ca-
GOTO   ETQ5           ;nal 2 y los compara; si
SUBLW  0X05          ;tienen al menos 5 unida-
BTFSC  STATUS,0      ;des de diferencia actua-
GOTO   JUMP3         ;liza ganancia, si no,
GOTO   ETQ6           ;salta al siguiente canal
ETQ5    ;para evitar inestabilidad
MOVF   MAXIMO3,0      ;en los cambios de ganan-
SUBWF  MAXIMO3_BACK,0 ;cia.
SUBLW  0X05
BTFSC  STATUS,0
GOTO   JUMP3

ETQ6    MOVF   MAXIMO3,0
MOVWF  MAXIMO
MOVF   EDO_DE_GAN3,0
MOVWF  GAN_TEMP
CALL   PONER_GANANCIA ;Llamada a rutina de
MOVF   EDO_DE_GAN,0   ;cambio de ganancia.
MOVWF  EDO_DE_GAN3
MOVF   MAXIMO3,0
MOVWF  MAXIMO3_BACK

JUMP3   MOVLW  b'11110111'
MOVWF  CHIP_SELECT
MOVF   LIMITE_1_CH3,0 ;Carga los valores de lí-
MOVWF  LIMITE_1      ;mite y ganancia del CH3.
MOVF   LIMITE_2_CH3,0
MOVWF  LIMITE_2
MOVF   LIMITE_3_CH3,0
MOVWF  LIMITE_3
MOVF   GANANCIA_0_CH3,0
MOVWF  GANANCIA_0
MOVF   GANANCIA_1_CH3,0
MOVWF  GANANCIA_1
MOVF   GANANCIA_2_CH3,0
MOVWF  GANANCIA_2
MOVF   GANANCIA_3_CH3,0
MOVWF  GANANCIA_3

MOVF   MAXIMO4_BACK,0 ;Compara el máximo del ca-
SUBWF  MAXIMO4,0      ;nal 3 obtenido con el má-
BTFSS  STATUS,0      ;ximo de respaldo del ca-
GOTO   ETQ7           ;nal 3 y los compara; si
SUBLW  0X05          ;tienen al menos 5 unida-
BTFSC  STATUS,0      ;des de diferencia actua-
GOTO   NEXT4         ;liza ganancia, si no,
GOTO   ETQ8           ;salta al siguiente canal
ETQ7    ;para evitar inestabilidad
MOVF   MAXIMO4,0      ;en los cambios de ganan-
SUBWF  MAXIMO4_BACK,0 ;cia.
SUBLW  0X05
BTFSC  STATUS,0
GOTO   NEXT4

ETQ8    MOVF   MAXIMO4,0
MOVWF  MAXIMO
MOVF   EDO_DE_GAN4,0
MOVWF  GAN_TEMP
CALL   PONER_GANANCIA ;Llamada a rutina de
MOVF   EDO_DE_GAN,0   ;envío de ganancia.
MOVWF  EDO_DE_GAN4
MOVF   MAXIMO4,0

```

```

MOVWF MAXIMO4_BACK

NEXT4
CLRF MAXIMO1 ;Borra los valores máximos
CLRF MAXIMO2 ;para iniciar un nuevo
CLRF MAXIMO3 ;ciclo de muestreo.
CLRF MAXIMO4
BTFSC G_CHANGE,0 ;Checa el bit de cambio
CALL SEND_GAIN ;de ganancia para enviar
BCF PORTC,7 ;ganancias a la etapa de
BCF G_CHANGE,0 ;procesamiento.
MOVLW 0X03
MOVWF CONTADOR_TMR0

NEXT5
SWAPF STATUS_TEMP,0
MOVWF STATUS
SWAPF W_TEMP,1
SWAPF W_TEMP,0

BCF INTCON,2
RETFIE ;Regreso de la interrupción

;*****
;***** RUTINA DE CAMBIO DE GANANCIA *****
;***** QUE COMPARA LOS VALORES MÁXIMOS *****
;***** CON LOS LIMITES PARA DETERINAR EL RANGO *****
;*****
PONER_GANANCIA
MOVF MAXIMO,W
SUBWF LIMITE_1,0
BTFSC STATUS,0
GOTO GANANCIA3

MOVF MAXIMO,W
SUBWF LIMITE_2,0
BTFSC STATUS,0
GOTO GANANCIA2

MOVF MAXIMO,W
SUBWF LIMITE_3,0
BTFSC STATUS,0
GOTO GANANCIA1
GOTO GANANCIA0

;*****
GANANCIA0 ;Subrutina para ganancia
MOV LW b'00000000' ;del rango 4.
MOVWF EDO_DE_GAN
XORWF GAN_TEMP,0 ;Comparación con el estado
BTFSC STATUS,2 ;de ganancia actual; si
RETURN ;son iguales salta; si no,
BSF G_CHANGE,0 ;actualiza la ganancia en
MOVF GANANCIA_0,0 ;amplificador.
MOVWF GANANCIA
CALL ENVIAR ;Llamada a subrutina de
RETURN ;envío de datos al PGA
;correspondiente

GANANCIA1 ;Subrutina para ganancia
MOV LW b'00000001' ;del rango 3.
MOVWF EDO_DE_GAN
XORWF GAN_TEMP,0 ;Comparación con el estado
BTFSC STATUS,2 ;de ganancia actual; si
RETURN ;son iguales salta; si no,
BSF G_CHANGE,0 ;actualiza la ganancia en
MOVF GANANCIA_1,0 ;amplificador.
MOVWF GANANCIA
CALL ENVIAR ;Llamada a subrutina de
RETURN ;envío de datos al PGA
;correspondiente

GANANCIA2 ;Subrutina para ganancia
MOV LW b'00000010' ;del rango 2.
MOVWF EDO_DE_GAN
XORWF GAN_TEMP,0 ;Comparación con el estado
BTFSC STATUS,2 ;de ganancia actual; si
RETURN ;son iguales salta; si no,

```

```

    BSF      G_CHANGE,0      ;actualiza la ganancia en
    MOVF     GANANCIA_2,0    ;amplificador.
    MOVWF    GANANCIA
    CALL     ENVIAR         ;Llamada a subrutina de
    RETURN   ;envío de datos al PGA
                    ;correspondiente

GANANCIA3      ;Subrutina para ganancia
    MOVLW   b'00000011'    ;del rango 1.
    MOVWF   EDO_DE_GAN
    XORWF   GAN_TEMP,0     ;Comparación con el estado
    BTFS   STATUS,2       ;de ganancia actual; si
    RETURN  ;son iguales salta; si no,
    BSF     G_CHANGE,0     ;actualiza la ganancia en
    MOVF    GANANCIA_3,0   ;amplificador.
    MOVWF   GANANCIA
    CALL    ENVIAR        ;Llamada a subrutina de
    RETURN  ;envío de datos al PGA
                    ;correspondiente

```

```

;*****
;***** SUBROUTINA DE ENVÍO DE DATOS *****
;*****

```

```

ENVIAR
    BSF     STATUS,5
    CLRF    SSPSTAT
    BCF     TRISC,3
    BCF     STATUS,5
    MOVLW   b'00100000'
    MOVWF   SSPCON
    MOVF    CHIP_SELECT,W
    MOVWF   PORTD
    MOVLW   0X40
    MOVWF   SSPBUF
    CALL    RETARDO1

    MOVF    GANANCIA,0
    MOVWF   SSPBUF
    CALL    RETARDO1

    MOVLW   0XFF
    MOVWF   PORTD
    BSF     STATUS,5
    CLRF    SSPSTAT
    BSF     TRISC,3
    BCF     STATUS,5
    CLRF    SSPCON
    RETURN

```

```

;*****
;***** SUBROUTINA DE ENVÍO DE GANANCIAS *****
;*****

```

```

SEND_GAIN
    BSF     PORTC,7
    MOVF    EDO_DE_GAN2,0
    MOVWF   EDO_DE_GAN22
    BCF     STATUS,0
    RLF     EDO_DE_GAN22,1
    RLF     EDO_DE_GAN22,1

    MOVF    EDO_DE_GAN4,0
    MOVWF   EDO_DE_GAN44
    SWAPF   EDO_DE_GAN44,1
    BCF     STATUS,0
    RLF     EDO_DE_GAN44,1
    RLF     EDO_DE_GAN44,1

    SWAPF   EDO_DE_GAN3,0
    IORWF   EDO_DE_GAN1,0
    IORWF   EDO_DE_GAN22,0
    IORWF   EDO_DE_GAN44,0
    MOVWF   GAIN_TO_SEND
    CALL    ENVIAR_G
    RETURN

```

```

ENVIAR_G
    BSF     STATUS, 5
    CLRF   SSPSTAT
    BCF     TRISC, 3
    BCF     STATUS, 5
    MOVLW  b'00100000'
    MOVWF  SSPCON
    MOVF   GAIN_TO_SEND, 0
    MOVWF  SSPBUF
    CALL   RETARDO1

    BSF     STATUS, 5
    CLRF   SSPSTAT
    BSF     TRISC, 3
    BCF     STATUS, 5
    CLRF   SSPCON
    RETURN

;*****
;***** MODO ESCLAVO Y RECEPCIÓN DE DATOS *****
;*****

MODO_ESCLAVO
    MOVF   SSPBUF, 0
    MOVLW  b'00100101'
    MOVWF  SSPCON
    BSF     STATUS, 5

OTRA_RECEPCION
    BTFSS  SSPSTAT, 0
    GOTO   OTRA_RECEPCION
    BCF     STATUS, 5

    MOVF   SSPBUF, 0           ;Recepción del byte de
    MOVWF  INSTRUCTION_BYTE ;instrucciones.

    BSF     STATUS, 5
OTRA_RECEPCION_2
    BTFSS  SSPSTAT, 0
    GOTO   OTRA_RECEPCION_2
    BCF     STATUS, 5

    MOVF   SSPBUF, 0           ;Recepción del byte de
    MOVWF  DATA_BYTE         ;datos.

    BSF     STATUS, 5
    CLRF   SSPSTAT
    BCF     STATUS, 5
    CLRF   SSPCON

    CALL   RETARDO2

;***** LECTURA DE INSTRUCCIÓN *****

    SWAPF  INSTRUCTION_BYTE, 0
    ANDLW  0X0F
    MOVWF  INSTRUCTION
    BTFSC  STATUS, 2
    GOTO   PONER_RESET
    MOVLW  0X01
    XORWF  INSTRUCTION, 0
    BTFSC  STATUS, 2
    GOTO   PONER_LIMITE1
    MOVLW  0X02
    XORWF  INSTRUCTION, 0
    BTFSC  STATUS, 2
    GOTO   PONER_LIMITE2
    MOVLW  0X03
    XORWF  INSTRUCTION, 0
    BTFSC  STATUS, 2
    GOTO   PONER_LIMITE3
    MOVLW  0X04
    XORWF  INSTRUCTION, 0
    BTFSC  STATUS, 2
    GOTO   PONER_GANANCIA0

```

```

MOVLW    0X05
XORWF    INSTRUCTION, 0
BTFSC    STATUS, 2
GOTO     PONER_GANANCIA1
MOVLW    0X06
XORWF    INSTRUCTION, 0
BTFSC    STATUS, 2
GOTO     PONER_GANANCIA2
MOVLW    0X07
XORWF    INSTRUCTION, 0
BTFSC    STATUS, 2
GOTO     PONER_GANANCIA3
BTFSC    INSTRUCTION_BYTE, 7
GOTO     NIVELES_EXTERNOS
GOTO     EN_ESPERA
;*****

PONER_RESET                ;Función de reset que
MOVLW    b'00000000'      ;regresa los valores
MOVWF    GANANCIA_0_CH0   ;de límite y ganancia
MOVWF    GANANCIA_0_CH1   ;a sus valores
MOVWF    GANANCIA_0_CH2   ;predeterminados.
MOVWF    GANANCIA_0_CH3
MOVLW    b'00000001'
MOVWF    GANANCIA_1_CH0
MOVWF    GANANCIA_1_CH1
MOVWF    GANANCIA_1_CH2
MOVWF    GANANCIA_1_CH3
MOVLW    b'00000010'
MOVWF    GANANCIA_2_CH0
MOVWF    GANANCIA_2_CH1
MOVWF    GANANCIA_2_CH2
MOVWF    GANANCIA_2_CH3
MOVLW    b'00000100'
MOVWF    GANANCIA_3_CH0
MOVWF    GANANCIA_3_CH1
MOVWF    GANANCIA_3_CH2
MOVWF    GANANCIA_3_CH3
MOVLW    0X91
MOVWF    LIMITE_1_CH0
MOVWF    LIMITE_1_CH1
MOVWF    LIMITE_1_CH2
MOVWF    LIMITE_1_CH3
MOVLW    0XA1
MOVWF    LIMITE_2_CH0
MOVWF    LIMITE_2_CH1
MOVWF    LIMITE_2_CH2
MOVWF    LIMITE_2_CH3
MOVLW    0XBF
MOVWF    LIMITE_3_CH0
MOVWF    LIMITE_3_CH1
MOVWF    LIMITE_3_CH2
MOVWF    LIMITE_3_CH3
GOTO     EN_ESPERA

PONER_LIMITE1              ;Función que actualiza
BTFSS    INSTRUCTION_BYTE, 0 ;el límite 1 del canal
GOTO     XY1                ;seleccionado.
GOTO     AB1

XY1
BTFSS    INSTRUCTION_BYTE, 1
GOTO     LIMITE1_CH0
GOTO     LIMITE1_CH2

AB1
BTFSS    INSTRUCTION_BYTE, 1
GOTO     LIMITE1_CH1
GOTO     LIMITE1_CH3

LIMITE1_CH0
MOVF     DATA_BYTE, 0
MOVWF    LIMITE_1_CH0
GOTO     EN_ESPERA

LIMITE1_CH1
MOVF     DATA_BYTE, 0
MOVWF    LIMITE_1_CH1
GOTO     EN_ESPERA

LIMITE1_CH2

```

```

    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_1_CH2
    GOTO    EN_ESPERA
LIMITE1_CH3
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_1_CH3
    GOTO    EN_ESPERA

PONER_LIMITE2                ;Función que actualiza
    BTFSS   INSTRUCTION_BYTE, 0 ;el límite 2 del canal
    GOTO    XY2                ;seleccionado.
    GOTO    AB2
XY2
    BTFSS   INSTRUCTION_BYTE, 1
    GOTO    LIMITE2_CH0
    GOTO    LIMITE2_CH2
AB2
    BTFSS   INSTRUCTION_BYTE, 1
    GOTO    LIMITE2_CH1
    GOTO    LIMITE2_CH3
LIMITE2_CH0
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_2_CH0
    GOTO    EN_ESPERA
LIMITE2_CH1
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_2_CH1
    GOTO    EN_ESPERA
LIMITE2_CH2
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_2_CH2
    GOTO    EN_ESPERA
LIMITE2_CH3
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_2_CH3
    GOTO    EN_ESPERA

PONER_LIMITE3                ;Función que actualiza
    BTFSS   INSTRUCTION_BYTE, 0 ;el límite 3 del canal
    GOTO    XY3                ;seleccionado.
    GOTO    AB3
XY3
    BTFSS   INSTRUCTION_BYTE, 1
    GOTO    LIMITE3_CH0
    GOTO    LIMITE3_CH2
AB3
    BTFSS   INSTRUCTION_BYTE, 1
    GOTO    LIMITE3_CH1
    GOTO    LIMITE3_CH3
LIMITE3_CH0
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_3_CH0
    GOTO    EN_ESPERA
LIMITE3_CH1
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_3_CH1
    GOTO    EN_ESPERA
LIMITE3_CH2
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_3_CH2
    GOTO    EN_ESPERA
LIMITE3_CH3
    MOVF    DATA_BYTE, 0
    MOVWF   LIMITE_3_CH3
    GOTO    EN_ESPERA

PONER_GANANCIA0            ;Función que actualiza la
    MOVF    DATA_BYTE, 0      ;ganancia del rango 4 del
    ANDLW   0X07                ;canal seleccionado.
    MOVWF   DATA_BYTE
    BTFSS   INSTRUCTION_BYTE, 0
    GOTO    XYG0
    GOTO    ABG0
XYG0
    BTFSS   INSTRUCTION_BYTE, 1
    GOTO    GAN0_CH0

```

```

    GOTO    GAN0_CH2
ABG0
    BTFSS  INSTRUCTION_BYTE,1
    GOTO    GAN0_CH1
    GOTO    GAN0_CH3
GAN0_CH0
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_0_CH0
    GOTO    EN_ESPERA
GAN0_CH1
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_0_CH1
    GOTO    EN_ESPERA
GAN0_CH2
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_0_CH2
    GOTO    EN_ESPERA
GAN0_CH3
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_0_CH3
    GOTO    EN_ESPERA

PONER_GANANCIA1          ;Función que actualiza la
    MOVF   DATA_BYTE,0   ;ganancia del rango 3 del
    ANDLW  0X07           ;canal seleccionado.
    MOVWF  DATA_BYTE
    BTFSS  INSTRUCTION_BYTE,0
    GOTO    XYG1
    GOTO    ABG1
XYG1
    BTFSS  INSTRUCTION_BYTE,1
    GOTO    GAN1_CH0
    GOTO    GAN1_CH2
ABG1
    BTFSS  INSTRUCTION_BYTE,1
    GOTO    GAN1_CH1
    GOTO    GAN1_CH3
GAN1_CH0
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_1_CH0
    GOTO    EN_ESPERA
GAN1_CH1
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_1_CH1
    GOTO    EN_ESPERA
GAN1_CH2
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_1_CH2
    GOTO    EN_ESPERA
GAN1_CH3
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_1_CH3
    GOTO    EN_ESPERA

PONER_GANANCIA2          ;Función que actualiza la
    MOVF   DATA_BYTE,0   ;ganancia del rango 2 del
    ANDLW  0X07           ;canal seleccionado.
    MOVWF  DATA_BYTE
    BTFSS  INSTRUCTION_BYTE,0
    GOTO    XYG2
    GOTO    ABG2
XYG2
    BTFSS  INSTRUCTION_BYTE,1
    GOTO    GAN2_CH0
    GOTO    GAN2_CH2
ABG2
    BTFSS  INSTRUCTION_BYTE,1
    GOTO    GAN2_CH1
    GOTO    GAN2_CH3
GAN2_CH0
    MOVF   DATA_BYTE,0
    MOVWF  GANANCIA_2_CH0
    GOTO    EN_ESPERA
GAN2_CH1
    MOVF   DATA_BYTE,0

```

```

MOVWF GANANCIA_2_CH1
GOTO EN_ESPERA
GAN2_CH2
MOVF DATA_BYTE,0
MOVWF GANANCIA_2_CH2
GOTO EN_ESPERA
GAN2_CH3
MOVF DATA_BYTE,0
MOVWF GANANCIA_2_CH3
GOTO EN_ESPERA

PONER_GANANCIA3 ;Función que actualiza la
MOVF DATA_BYTE,0 ;ganancia del rango 1 del
ANDLW 0X07 ;canal seleccionado.
MOVWF DATA_BYTE
BTFS INSTRUCTION_BYTE,0
GOTO XYG3
GOTO ABG3
XYG3
BTFS INSTRUCTION_BYTE,1
GOTO GAN3_CH0
GOTO GAN3_CH2
ABG3
BTFS INSTRUCTION_BYTE,1
GOTO GAN3_CH1
GOTO GAN3_CH3
GAN3_CH0
MOVF DATA_BYTE,0
MOVWF GANANCIA_3_CH0
GOTO EN_ESPERA
GAN3_CH1
MOVF DATA_BYTE,0
MOVWF GANANCIA_3_CH1
GOTO EN_ESPERA
GAN3_CH2
MOVF DATA_BYTE,0
MOVWF GANANCIA_3_CH2
GOTO EN_ESPERA
GAN3_CH3
MOVF DATA_BYTE,0
MOVWF GANANCIA_3_CH3
GOTO EN_ESPERA

NIVELES_EXTERNOS ;Función que actualiza los
MOVLW b'11111110' ;niveles de ganancia de
MOVWF CHIP_SELECT ;los amplificadores PGA
MOVLW 0X03 ;con la ganancia del rango
ANDWF DATA_BYTE,0 ;enviado para cada canal,
MOVWF GANANCIA_TEMP ;en el byte de datos.
MOVF GANANCIA_0_CH0,0
MOVWF GANANCIA_0
MOVF GANANCIA_1_CH0,0
MOVWF GANANCIA_1
MOVF GANANCIA_2_CH0,0
MOVWF GANANCIA_2
MOVF GANANCIA_3_CH0,0
MOVWF GANANCIA_3
CALL ASIGNAR_GANANCIA_SS ;Llamada a subrutina
;de cambio de ganancia
;en modo esclavo.

MOVLW b'11111101'
MOVWF CHIP_SELECT
MOVLW 0X0C
ANDWF DATA_BYTE,0
MOVWF GANANCIA_TEMP
RRF GANANCIA_TEMP,1
RRF GANANCIA_TEMP,1
MOVF GANANCIA_0_CH1,0
MOVWF GANANCIA_0
MOVF GANANCIA_1_CH1,0
MOVWF GANANCIA_1
MOVF GANANCIA_2_CH1,0
MOVWF GANANCIA_2
MOVF GANANCIA_3_CH1,0
MOVWF GANANCIA_3

```

```

CALL    ASIGNAR_GANANCIA_SS ;Llamada a subrutina
                                ;de cambio de ganancia
                                ;en modo esclavo.

MOVLW  b'11111011'
MOVWF  CHIP_SELECT
MOVLW  0X30
ANDWF  DATA_BYTE,0
MOVWF  GANANCIA_TEMP
SWAPF  GANANCIA_TEMP,1
MOVF   GANANCIA_0_CH2,0
MOVWF  GANANCIA_0
MOVF   GANANCIA_1_CH2,0
MOVWF  GANANCIA_1
MOVF   GANANCIA_2_CH2,0
MOVWF  GANANCIA_2
MOVF   GANANCIA_3_CH2,0
MOVWF  GANANCIA_3
CALL    ASIGNAR_GANANCIA_SS ;Llamada a subrutina
                                ;de cambio de ganancia
                                ;en modo esclavo.

MOVLW  b'11110111'
MOVWF  CHIP_SELECT
MOVLW  0XC0
ANDWF  DATA_BYTE,0
MOVWF  GANANCIA_TEMP
SWAPF  GANANCIA_TEMP,1
RRF    GANANCIA_TEMP,1
RRF    GANANCIA_TEMP,1
MOVF   GANANCIA_0_CH3,0
MOVWF  GANANCIA_0
MOVF   GANANCIA_1_CH3,0
MOVWF  GANANCIA_1
MOVF   GANANCIA_2_CH3,0
MOVWF  GANANCIA_2
MOVF   GANANCIA_3_CH3,0
MOVWF  GANANCIA_3
CALL    ASIGNAR_GANANCIA_SS ;Llamada a subrutina
                                ;de cambio de ganancia
                                ;en modo esclavo.

EN_ESPERA
BTFSC  PORTB,0                    ;Ciclo de espera para
GOTO   EN_ESPERA                  ;salir del modo
                                        ;esclavo

BSF    EDO_DE_GAN1,5
BSF    EDO_DE_GAN2,5
BSF    EDO_DE_GAN3,5
BSF    EDO_DE_GAN4,5
CLRF   MAXIMO1_BACK
CLRF   MAXIMO1
CLRF   MAXIMO2_BACK
CLRF   MAXIMO2
CLRF   MAXIMO3_BACK
CLRF   MAXIMO3
CLRF   MAXIMO4_BACK
CLRF   MAXIMO4

SWAPF  STATUS_TEMP,0
MOVWF  STATUS
SWAPF  W_TEMP,1
SWAPF  W_TEMP,0

BCF    INTCON,1
RETFIE                                ;Regreso de interrup-
                                        ;ción y salida de modo
                                        ;esclavo.

;*****
;****  SUBROUTINA DE CAMBIO DE GANANCIA EN      ****
;****  MODO ESCLAVO                          ****
;*****
ASIGNAR_GANANCIA_SS
BTFSS  GANANCIA_TEMP,0
GOTO   LABEL1
BTFSS  GANANCIA_TEMP,1
GOTO   GANANCIA1_SL
GOTO   GANANCIA3_SL

```

```

LABEL1
    BTFS    GANANCIA_TEMP,1
    GOTO    GANANCIA0_SL
    GOTO    GANANCIA2_SL

GANANCIA0_SL
    MOVF    GANANCIA_0,0
    MOVWF   GANANCIA
    CALL    ENVIAR           ;Llamada a subrutina de
    RETURN  ;envío de datos al PGA
                    ;correspondiente

GANANCIA1_SL
    MOVF    GANANCIA_1,0
    MOVWF   GANANCIA
    CALL    ENVIAR           ;Llamada a subrutina de
    RETURN  ;envío de datos al PGA
                    ;correspondiente

GANANCIA2_SL
    MOVF    GANANCIA_2,0
    MOVWF   GANANCIA
    CALL    ENVIAR           ;Llamada a subrutina de
    RETURN  ;envío de datos al PGA
                    ;correspondiente

GANANCIA3_SL
    MOVF    GANANCIA_3,0
    MOVWF   GANANCIA
    CALL    ENVIAR           ;Llamada a subrutina de
    RETURN  ;envío de datos al PGA
                    ;correspondiente

;*****
;***   RUTINA QUE BAJA LA GANANCIA DE           *****
;***   LOS AMPLIFICADORES AL SATURARSE         *****
;*****
BAJAR_GANANCIA
    MOVF    PORTB,0           ;Sondeo de bits del puerto
    BTFS    PORTB,4           ;B para determinar el o
    CALL    BAJAR_CH0        ;los amplificadores en sa-
    BTFS    PORTB,5           ;turación y poner su ga-
    CALL    BAJAR_CH1        ;nancia en el mínimo pro-
    BTFS    PORTB,6           ;gramable (0 dB).
    CALL    BAJAR_CH2
    BTFS    PORTB,7
    CALL    BAJAR_CH3

    CALL    SEND_GAIN        ;Notificación de cambio de
    BCF     PORTC,7          ;ganancia y envío de byte
    BSF     EDO_DE_GAN1,5    ;con estado de ganancia de
    BSF     EDO_DE_GAN2,5    ;los 4 amplificadores.
    BSF     EDO_DE_GAN3,5
    BSF     EDO_DE_GAN4,5
    CLRF    MAXIMO1_BACK
    CLRF    MAXIMO1
    CLRF    MAXIMO2_BACK
    CLRF    MAXIMO2
    CLRF    MAXIMO3_BACK
    CLRF    MAXIMO3
    CLRF    MAXIMO4_BACK
    CLRF    MAXIMO4

    SWAPF   STATUS_TEMP,0
    MOVWF   STATUS
    SWAPF   W_TEMP,1
    SWAPF   W_TEMP,0

    BCF     INTCON,0        ;Regreso de interrupción por cambio
    RETFIE ;de estado en RB4-RB7.

BAJAR_CH0
    MOVLW   b'11111110'
    MOVWF   CHIP_SELECT
    CLRF    GANANCIA
    CALL    ENVIAR
    CLRF    EDO_DE_GAN1
    RETURN

```

```
BAJAR_CH1
  MOV LW    b'11111101'
  MOV WF    CHIP_SELECT
  CLR F     GANANCIA
  CALL      ENVIAR
  CLR F     EDO_DE_GAN2
  RETURN
```

```
BAJAR_CH2
  MOV LW    b'11111011'
  MOV WF    CHIP_SELECT
  CLR F     GANANCIA
  CALL      ENVIAR
  CLR F     EDO_DE_GAN3
  RETURN
```

```
BAJAR_CH3
  MOV LW    b'11110111'
  MOV WF    CHIP_SELECT
  CLR F     GANANCIA
  CALL      ENVIAR
  CLR F     EDO_DE_GAN4
  RETURN
```

```
;*****
;*****          RETARDOS          *****
;*****
```

```
RETARDO1          ;Retardo de 6us para 20 MHz
```

```
  MOV LW    .6
  MOV WF    PDE10
```

```
PL00P
```

```
  NOP
  DECFSZ   PDE10,1
  GOTO     PL00P
  NOP
  RETURN
```

```
RETARDO2          ;Retardo de 25us para 20 MHz
```

```
  MOV LW    .30
  MOV WF    PDE10
```

```
PLOP
```

```
  NOP
  DECFSZ   PDE10,1
  GOTO     PLOP
  NOP
  RETURN
```

```
;*****
```

```
END
```

APÉNDICE B

ESPECIFICACIONES DE LOS COMPONENTES MCP6S21, MF6CN-50 Y
PIC16F877A.

Single-Ended, Rail-to-Rail I/O, Low Gain PGA

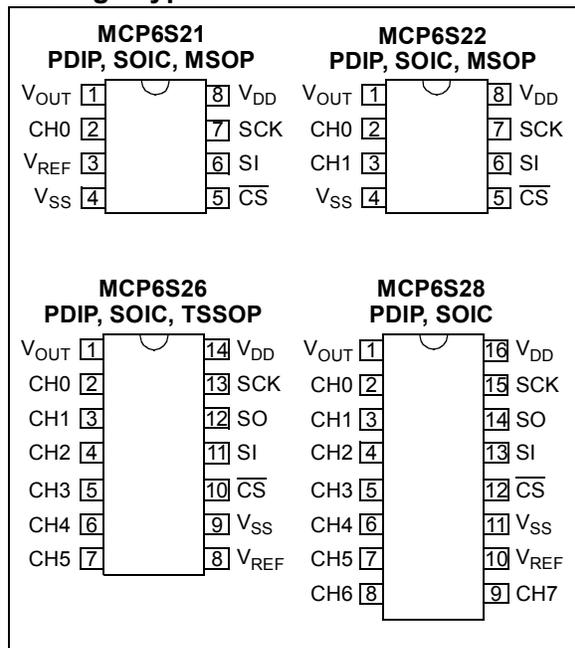
Features

- Multiplexed Inputs: 1, 2, 6 or 8 channels
- 8 Gain Selections:
 - +1, +2, +4, +5, +8, +10, +16 or +32 V/V
- Serial Peripheral Interface (SPI™)
- Rail-to-Rail Input and Output
- Low Gain Error: $\pm 1\%$ (max)
- Low Offset: $\pm 275 \mu\text{V}$ (max)
- High Bandwidth: 2 to 12 MHz (typ)
- Low Noise: 10 nV/√Hz @ 10 kHz (typ)
- Low Supply Current: 1.0 mA (typ)
- Single Supply: 2.5V to 5.5V

Typical Applications

- A/D Converter Driver
- Multiplexed Analog Applications
- Data Acquisition
- Industrial Instrumentation
- Test Equipment
- Medical Instrumentation

Package Types

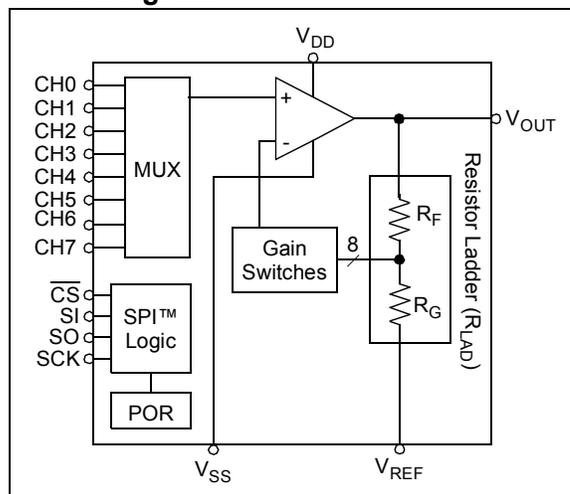


Description

The Microchip Technology Inc. MCP6S21/2/6/8 are analog Programmable Gain Amplifiers (PGA). They can be configured for gains from +1 V/V to +32 V/V and the input multiplexer can select one of up to eight channels through an SPI port. The serial interface can also put the PGA into shutdown to conserve power. These PGAs are optimized for high speed, low offset voltage and single-supply operation with rail-to-rail input and output capability. These specifications support single supply applications needing flexible performance or multiple inputs.

The one channel MCP6S21 and the two channel MCP6S22 are available in 8-pin PDIP, SOIC and MSOP packages. The six channel MCP6S26 is available in 14-pin PDIP, SOIC and TSSOP packages. The eight channel MCP6S28 is available in 16-pin PDIP and SOIC packages. All parts are fully specified from -40°C to +85°C.

Block Diagram



MCP6S21/2/6/8

1.0 ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings †

$V_{DD} - V_{SS}$	7.0V
All inputs and outputs	$V_{SS} - 0.3V$ to $V_{DD} + 0.3V$
Difference Input voltage	$ V_{DD} - V_{SS} $
Output Short Circuit Current	continuous
Current at Input Pin	± 2 mA
Current at Output and Supply Pins	± 30 mA
Storage temperature	-65°C to $+150^{\circ}\text{C}$
Junction temperature	$+150^{\circ}\text{C}$
ESD protection on all pins (HBM;MM).....	≥ 2 kV; 200V

† **Notice:** Stresses above those listed under "Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operation listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

DC CHARACTERISTICS

Electrical Specifications: Unless otherwise indicated, $T_A = +25^{\circ}\text{C}$, $V_{DD} = +2.5V$ to $+5.5V$, $V_{SS} = \text{GND}$, $V_{REF} = V_{SS}$, $G = +1$ V/V, Input = CH0 = $(0.3V)/G$, CH1 to CH7 = $0.3V$, $R_L = 10$ k Ω to $V_{DD}/2$, SI and SCK are tied low and $\overline{\text{CS}}$ is tied high.							
Parameters	Sym	Min	Typ	Max	Units	Conditions	
Amplifier Input							
Input Offset Voltage	V_{OS}	-275	—	+275	μV	$G = +1$, $V_{DD} = 4.0V$	
Input Offset Voltage Drift	$\Delta V_{OS}/\Delta T_A$	—	± 4	—	$\mu\text{V}/^{\circ}\text{C}$	$T_A = -40$ to $+85^{\circ}\text{C}$	
Power Supply Rejection Ratio	PSRR	70	85	—	dB	$G = +1$ (Note 1)	
Input Bias Current	I_B	—	± 1	—	pA	$\text{CHx} = V_{DD}/2$	
Input Bias Current over Temperature	I_B	—	—	250	pA	$T_A = -40$ to $+85^{\circ}\text{C}$, $\text{CHx} = V_{DD}/2$	
Input Impedance	Z_{IN}	—	$10^{13} 15$	—	ΩpF		
Input Voltage Range	V_{IVR}	$V_{SS}-0.3$	—	$V_{DD}+0.3$	V		
Amplifier Gain							
Nominal Gains	G	—	1 to 32	—	V/V	+1, +2, +4, +5, +8, +10, +16 or +32	
DC Gain Error	$G = +1$	g_E	-0.1	—	+0.1	%	$V_{OUT} \approx 0.3V$ to $V_{DD} - 0.3V$
	$G \geq +2$	g_E	-1.0	—	+1.0	%	$V_{OUT} \approx 0.3V$ to $V_{DD} - 0.3V$
DC Gain Drift	$G = +1$	$\Delta G/\Delta T_A$	—	± 0.0002	—	$\%/^{\circ}\text{C}$	$T_A = -40$ to $+85^{\circ}\text{C}$
	$G \geq +2$	$\Delta G/\Delta T_A$	—	± 0.0004	—	$\%/^{\circ}\text{C}$	$T_A = -40$ to $+85^{\circ}\text{C}$
Internal Resistance	R_{LAD}	3.4	4.9	6.4	k Ω	(Note 1)	
Internal Resistance over Temperature	$\Delta R_{LAD}/\Delta T_A$	—	+0.028	—	$\%/^{\circ}\text{C}$	(Note 1) $T_A = -40$ to $+85^{\circ}\text{C}$	
Amplifier Output							
DC Output Non-linearity	$G = +1$	V_{ONL}	—	± 0.003	—	% of FSR	$V_{OUT} = 0.3V$ to $V_{DD} - 0.3V$, $V_{DD} = 5.0V$
	$G \geq +2$	V_{ONL}	—	± 0.001	—	% of FSR	$V_{OUT} = 0.3V$ to $V_{DD} - 0.3V$, $V_{DD} = 5.0V$
Maximum Output Voltage Swing	V_{OH}, V_{OL}	$V_{SS}+20$	—	$V_{DD}-100$	mV		$G \geq +2$; 0.5V output overdrive
		$V_{SS}+60$	—	$V_{DD}-60$			$G \geq +2$; 0.5V output overdrive, $V_{REF} = V_{DD}/2$
Short-Circuit Current	$I_{O(SC)}$	—	± 30	—	mA		

Note 1: R_{LAD} ($R_F + R_G$ in Figure 4-1) connects V_{REF} , V_{OUT} and the inverting input of the internal amplifier. The MCP6S22 has V_{REF} tied internally to V_{SS} , so V_{SS} is coupled to the internal amplifier and the PSRR spec describes PSRR+ only. We recommend the MCP6S22's V_{SS} pin be tied directly to ground to avoid noise problems.

2: I_Q includes current in R_{LAD} (typically 60 μA at $V_{OUT} = 0.3V$). Both I_Q and I_{Q_SHDN} exclude digital switching currents.

3: The output goes Hi-Z and the registers reset to their defaults; see Section 5.4, "Power-On Reset".

PIN FUNCTION TABLE

Name	Function
V_{OUT}	Analog Output
CH0-CH7	Analog Inputs
V_{SS}	Negative Power Supply
V_{DD}	Positive Power Supply
SCK	SPI Clock Input
SI	SPI Serial Data Input
SO	SPI Serial Data Output
$\overline{\text{CS}}$	SPI Chip Select
V_{REF}	External Reference Pin

DC CHARACTERISTICS (CONTINUED)

Electrical Specifications: Unless otherwise indicated, $T_A = +25^\circ\text{C}$, $V_{DD} = +2.5\text{V}$ to $+5.5\text{V}$, $V_{SS} = \text{GND}$, $V_{REF} = V_{SS}$, $G = +1\text{ V/V}$, Input = CH0 = $(0.3\text{V})/G$, CH1 to CH7 = 0.3V , $R_L = 10\text{ k}\Omega$ to $V_{DD}/2$, SI and SCK are tied low and CS is tied high.

Parameters	Sym	Min	Typ	Max	Units	Conditions
Power Supply						
Supply Voltage	V_{DD}	2.5	—	5.5	V	
Quiescent Current	I_Q	0.5	1.0	1.35	mA	$I_O = 0$ (Note 2)
Quiescent Current, Shutdown mode	I_{Q_SHDN}	—	0.5	1.0	μA	$I_O = 0$ (Note 2)
Power-On Reset						
POR Trip Voltage	V_{POR}	1.2	1.7	2.2	V	(Note 3)
POR Trip Voltage Drift	$\Delta V_{POR}/\Delta T$	—	-3.0	—	$\text{mV}/^\circ\text{C}$	$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$

- Note 1:** R_{LAD} ($R_F + R_G$ in Figure 4-1) connects V_{REF} , V_{OUT} and the inverting input of the internal amplifier. The MCP6S22 has V_{REF} tied internally to V_{SS} , so V_{SS} is coupled to the internal amplifier and the PSRR spec describes PSRR+ only. We recommend the MCP6S22's V_{SS} pin be tied directly to ground to avoid noise problems.
- Note 2:** I_Q includes current in R_{LAD} (typically $60\text{ }\mu\text{A}$ at $V_{OUT} = 0.3\text{V}$). Both I_Q and I_{Q_SHDN} exclude digital switching currents.
- Note 3:** The output goes Hi-Z and the registers reset to their defaults; see Section 5.4, "Power-On Reset".

AC CHARACTERISTICS

Electrical Specifications: Unless otherwise indicated, $T_A = +25^\circ\text{C}$, $V_{DD} = +2.5\text{V}$ to $+5.5\text{V}$, $V_{SS} = \text{GND}$, $V_{REF} = V_{SS}$, $G = +1\text{ V/V}$, Input = CH0 = $(0.3\text{V})/G$, CH1 to CH7 = 0.3V , $R_L = 10\text{ k}\Omega$ to $V_{DD}/2$, $C_L = 60\text{ pF}$, SI and SCK are tied low, and CS is tied high.

Parameters	Sym	Min	Typ	Max	Units	Conditions
Frequency Response						
-3 dB Bandwidth	BW	—	2 to 12	—	MHz	All gains; $V_{OUT} < 100\text{ mV}_{P-P}$ (Note 1)
Gain Peaking	GPK	—	0	—	dB	All gains; $V_{OUT} < 100\text{ mV}_{P-P}$
Total Harmonic Distortion plus Noise						
$f = 1\text{ kHz}$, $G = +1\text{ V/V}$	THD+N	—	0.0015	—	%	$V_{OUT} = 1.5\text{V} \pm 1.0\text{V}_{PK}$, $V_{DD} = 5.0\text{V}$, BW = 22 kHz
$f = 1\text{ kHz}$, $G = +4\text{ V/V}$	THD+N	—	0.0058	—	%	$V_{OUT} = 1.5\text{V} \pm 1.0\text{V}_{PK}$, $V_{DD} = 5.0\text{V}$, BW = 22 kHz
$f = 1\text{ kHz}$, $G = +16\text{ V/V}$	THD+N	—	0.023	—	%	$V_{OUT} = 1.5\text{V} \pm 1.0\text{V}_{PK}$, $V_{DD} = 5.0\text{V}$, BW = 22 kHz
$f = 20\text{ kHz}$, $G = +1\text{ V/V}$	THD+N	—	0.0035	—	%	$V_{OUT} = 1.5\text{V} \pm 1.0\text{V}_{PK}$, $V_{DD} = 5.0\text{V}$, BW = 80 kHz
$f = 20\text{ kHz}$, $G = +4\text{ V/V}$	THD+N	—	0.0093	—	%	$V_{OUT} = 1.5\text{V} \pm 1.0\text{V}_{PK}$, $V_{DD} = 5.0\text{V}$, BW = 80 kHz
$f = 20\text{ kHz}$, $G = +16\text{ V/V}$	THD+N	—	0.036	—	%	$V_{OUT} = 1.5\text{V} \pm 1.0\text{V}_{PK}$, $V_{DD} = 5.0\text{V}$, BW = 80 kHz
Step Response						
Slew Rate	SR	—	4.0	—	$\text{V}/\mu\text{s}$	$G = 1, 2$
		—	11	—	$\text{V}/\mu\text{s}$	$G = 4, 5, 8, 10$
		—	22	—	$\text{V}/\mu\text{s}$	$G = 16, 32$
Noise						
Input Noise Voltage	E_{ni}	—	3.2	—	μV_{P-P}	$f = 0.1\text{ Hz}$ to 10 kHz (Note 2)
		—	26	—		$f = 0.1\text{ Hz}$ to 200 kHz (Note 2)
Input Noise Voltage Density	e_{ni}	—	10	—	$\text{nV}/\sqrt{\text{Hz}}$	$f = 10\text{ kHz}$ (Note 2)
Input Noise Current Density	i_{ni}	—	4	—	$\text{fA}/\sqrt{\text{Hz}}$	$f = 10\text{ kHz}$

- Note 1:** See Table 4-1 for a list of typical numbers.
- Note 2:** E_{ni} and e_{ni} include ladder resistance noise. See Figure 2-33 for e_{ni} vs. G data.

MCP6S21/2/6/8

DIGITAL CHARACTERISTICS

Electrical Specifications: Unless otherwise indicated, $T_A = +25^\circ\text{C}$, $V_{DD} = +2.5\text{V}$ to $+5.5\text{V}$, $V_{SS} = \text{GND}$, $V_{REF} = V_{SS}$, $G = +1\text{V/V}$, Input = CH0 = (0.3V)/G, CH1 to CH7 = 0.3V, $R_L = 10\text{ k}\Omega$ to $V_{DD}/2$, $C_L = 60\text{ pF}$, SI and SCK are tied low, and $\overline{\text{CS}}$ is tied high.

Parameters	Sym	Min	Typ	Max	Units	Conditions
SPI Inputs ($\overline{\text{CS}}$, SI, SCK)						
Logic Threshold, Low	V_{IL}	0	—	$0.3V_{DD}$	V	
Input Leakage Current	I_{IL}	-1.0	—	+1.0	μA	
Logic Threshold, High	V_{IH}	$0.7V_{DD}$	—	V_{DD}	V	
Amplifier Output Leakage Current	—	-1.0	—	+1.0	μA	In Shutdown mode
SPI Output (SO, for MCP6S26 and MCP6S28)						
Logic Threshold, Low	V_{OL}	V_{SS}	—	$V_{SS}+0.4$	V	$I_{OL} = 2.1\text{ mA}$, $V_{DD} = 5\text{V}$
Logic Threshold, High	V_{OH}	$V_{DD}-0.5$	—	V_{DD}	V	$I_{OH} = -400\text{ }\mu\text{A}$
SPI Timing						
Pin Capacitance	C_{PIN}	—	10	—	pF	All digital I/O pins
Input Rise/Fall Times ($\overline{\text{CS}}$, SI, SCK)	t_{RFI}	—	—	2	μs	Note 1
Output Rise/Fall Times (SO)	t_{RFO}	—	5	—	ns	MCP6S26 and MCP6S28
$\overline{\text{CS}}$ high time	t_{CSH}	40	—	—	ns	
SCK edge to $\overline{\text{CS}}$ fall setup time	t_{CS0}	10	—	—	ns	SCK edge when $\overline{\text{CS}}$ is high
$\overline{\text{CS}}$ fall to first SCK edge setup time	t_{CSSC}	40	—	—	ns	
SCK Frequency	f_{SCK}	—	—	10	MHz	$V_{DD} = 5\text{V}$ (Note 2)
SCK high time	t_{HI}	40	—	—	ns	
SCK low time	t_{LO}	40	—	—	ns	
SCK last edge to $\overline{\text{CS}}$ rise setup time	t_{SCCS}	30	—	—	ns	
$\overline{\text{CS}}$ rise to SCK edge setup time	t_{CS1}	100	—	—	ns	SCK edge when $\overline{\text{CS}}$ is high
SI set-up time	t_{SU}	40	—	—	ns	
SI hold time	t_{HD}	10	—	—	ns	
SCK to SO valid propagation delay	t_{DO}	—	—	80	ns	MCP6S26 and MCP6S28
$\overline{\text{CS}}$ rise to SO forced to zero	t_{SOZ}	—	—	80	ns	MCP6S26 and MCP6S28
Channel and Gain Select Timing						
Channel Select Time	t_{CH}	—	1.5	—	μs	CHx = 0.6V, CHy = 0.3V, G = 1, CHx to CHy select $\overline{\text{CS}} = 0.7V_{DD}$ to V_{OUT} 90% point
Gain Select Time	t_G	—	1	—	μs	CHx = 0.3V, G = 5 to G = 1 select, $\overline{\text{CS}} = 0.7V_{DD}$ to V_{OUT} 90% point
Shutdown Mode Timing						
Out of Shutdown mode ($\overline{\text{CS}}$ goes high) to Amplifier Output Turn-on Time	t_{ON}	—	3.5	10	μs	$\overline{\text{CS}} = 0.7V_{DD}$ to V_{OUT} 90% point
Into Shutdown mode ($\overline{\text{CS}}$ goes high) to Amplifier Output High-Z Turn-off Time	t_{OFF}	—	1.5	—	μs	$\overline{\text{CS}} = 0.7V_{DD}$ to V_{OUT} 90% point
POR Timing						
Power-On Reset power-up time	t_{RPU}	—	30	—	μs	$V_{DD} = V_{POR} - 0.1\text{V}$ to $V_{POR} + 0.1\text{V}$, 50% V_{DD} to 90% V_{OUT} point
Power-On Reset power-down time	t_{RPD}	—	10	—	μs	$V_{DD} = V_{POR} + 0.1\text{V}$ to $V_{POR} - 0.1\text{V}$, 50% V_{DD} to 90% V_{OUT} point

Note 1: Not tested in production. Set by design and characterization.

Note 2: When using the device in the daisy chain configuration, maximum clock frequency is determined by a combination of propagation delay time ($t_{DO} \leq 80\text{ ns}$), data input setup time ($t_{SU} \geq 40\text{ ns}$), SCK high time ($t_{HI} \geq 40\text{ ns}$), and SCK rise and fall times of 5 ns. Maximum f_{SCK} is, therefore, $\approx 5.8\text{ MHz}$.

TEMPERATURE CHARACTERISTICS

Electrical Specifications: Unless otherwise indicated, $V_{DD} = +2.5V$ to $+5.5V$, $V_{SS} = GND$.						
Parameters	Sym	Min	Typ	Max	Units	Conditions
Temperature Ranges						
Specified Temperature Range	T_A	-40	—	+85	°C	
Operating Temperature Range	T_A	-40	—	+125	°C	(Note Note:)
Storage Temperature Range	T_A	-65	—	+150	°C	
Thermal Package Resistances						
Thermal Resistance, 8L-PDIP	θ_{JA}	—	85	—	°C/W	
Thermal Resistance, 8L-SOIC	θ_{JA}	—	163	—	°C/W	
Thermal Resistance, 8L-MSOP	θ_{JA}	—	206	—	°C/W	
Thermal Resistance, 14L-PDIP	θ_{JA}	—	70	—	°C/W	
Thermal Resistance, 14L-SOIC	θ_{JA}	—	120	—	°C/W	
Thermal Resistance, 14L-TSSOP	θ_{JA}	—	100	—	°C/W	
Thermal Resistance, 16L-PDIP	θ_{JA}	—	70	—	°C/W	
Thermal Resistance, 16L-SOIC	θ_{JA}	—	90	—	°C/W	

Note 1: The MCP6S21/2/6/8 family of PGAs operates over this extended temperature range, but with reduced performance. Operation in this range must not cause T_J to exceed the Maximum Junction Temperature (150°C).

MF6

6th Order Switched Capacitor Butterworth Lowpass Filter

General Description

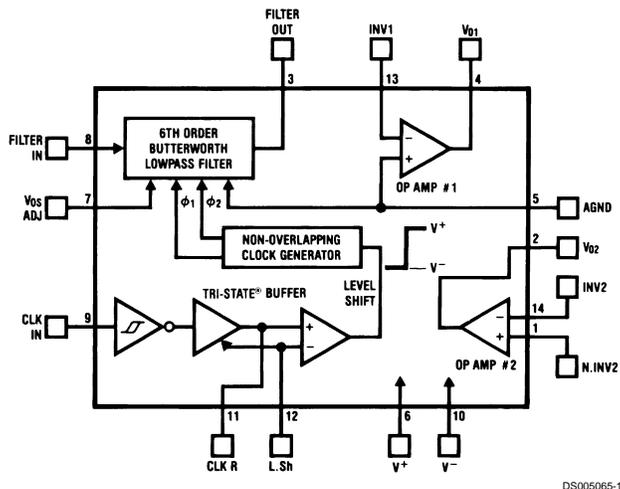
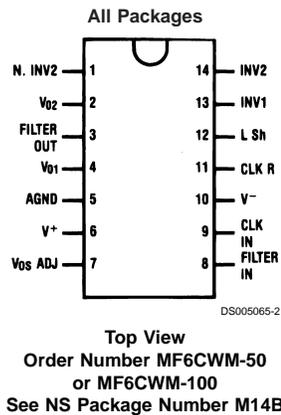
The MF6 is a versatile easy to use, precision 6th order Butterworth lowpass active filter. Switched capacitor techniques eliminate external component requirements and allow a clock tunable cutoff frequency. The ratio of the clock frequency to the lowpass cutoff frequency is internally set to 50 to 1 (MF6-50) or 100 to 1 (MF6-100). A Schmitt trigger clock input stage allows two clocking options, either self-clocking (via an external resistor and capacitor) for stand-alone applications, or an external TTL or CMOS logic compatible clock can be used for tighter cutoff frequency control. The maximally flat passband frequency response together with a DC gain of 1 V/V allows cascading MF6 sections for higher order

filtering. In addition to the filter, two independent CMOS op amps are included on the die and are useful for any general signal conditioning applications.

Features

- No external components
- Cutoff frequency accuracy of $\pm 0.3\%$ typical
- Cutoff frequency range of 0.1 Hz to 20 kHz
- Two uncommitted op amps available
- 5V to 14V total supply voltage
- Cutoff frequency set by external or internal clock

Block and Connection Diagrams



TRI-STATE® is a registered trademark of National Semiconductor Corporation.

Absolute Maximum Ratings (Note 11)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	14V
Voltage at Any Pin	$V^- - 0.2V, V^+ + 0.2V$
Input Current at Any Pin (Note 13)	5 mA
Package Input Current (Note 13)	20 mA
Power Dissipation (Note 14)	500 mW
Storage Temperature	-65°C to +150°C
ESD Susceptibility (Note 12)	800V

Soldering Information

Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

Operating Ratings (Note 11)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
MF6CWM-50, MF6CWM-100	$0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$
Supply Voltage ($V_S = V^+ - V^-$)	5V to 14V

Filter Electrical Characteristics

The following specifications apply for $f_{CLK} \leq 250$ kHz (Note 3) unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX}** ; all other limits $T_A = T_J = 25^\circ\text{C}$.

Parameter	Conditions	Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	Units	
$V^+ = +5V, V^- = -5V$						
f_c , Cutoff Frequency Range (Note 1)	MF6-50 Min Max MF6-100 Min Max			0.1 20k 0.1 10k	Hz	
Total Supply Current	$f_{CLK}=250$ kHz	4.0	6.0	8.5	mA	
Maximum Clock Feedthrough	Filter Output Op Amp 1 Out Op Amp 2 Out	30 25 20			mV (peak-to-peak)	
H_o , DC Gain	$R_{source} \leq 2$ k Ω	0.0	± 0.30	± 0.30	dB	
f_{CLK}/f_c Clock to Cutoff Frequency Ratio	MF6-50 MF6-100	49.27 \pm 0.3% 98.97 \pm 0.3%	49.27 \pm 1% 98.97 \pm 1%	49.27\pm1% 98.97\pm1%		
DC Offset Voltage	MF6-50 MF6-100	-200 -400			mV	
Minimum Output Voltage Swing	$R_L = 10$ k Ω	+4.0 -4.1	+3.5 -3.8	+3.5 -3.5	V	
Maximum Output Short Circuit Current (Note 6)	Source Sink	50 1.5			mA	
Dynamic Range (Note 2)	MF6-50 MF6-100	83 81			dB	
Additional Magnitude Response Test Points (Note 4)	MF6-50	$f_{CLK}=250$ kHz $f=6000$ Hz $f=4500$ Hz	-9.47 -9.47 \pm 0.6 -0.92	-9.47 \pm 0.6 -0.92 \pm 0.6	-9.47\pm0.75 -0.92\pm0.4	dB
	MF6-100	$f_{CLK}=250$ kHz $f=3000$ Hz $f=2250$ Hz	-9.48 -9.48 \pm 0.3 -0.97	-9.48 \pm 0.3 -0.97 \pm 0.3	-9.48\pm0.75 -0.97\pm0.4	dB
Attenuation Rate	MF6-50	$f_1=6000$ Hz $f_2=8000$ Hz	-36	-36	octave	dB/
	MF6-100	$f_{CLK}=250$ kHz $f_1=3000$ Hz $f_2=4000$ Hz	-36	-36	octave	dB/
$V^+ = +2.5V, V^- = -2.5V$						
f_c , Cutoff Frequency Range (Note 1)	MF6-50 Min Max MF6-100 Min Max			0.1 10k 0.1 5k	Hz	

Filter Electrical Characteristics (Continued)

The following specifications apply for $f_{CLK} \leq 250$ kHz (Note 3) unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX}** ; all other limits $T_A = T_J = 25^\circ\text{C}$.

Parameter	Conditions	Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	Units	
$V^+ = +2.5\text{V}$, $V^- = -2.5\text{V}$						
Total Supply Current	$f_{CLK}=250$ kHz	2.5	4.0	4.0	mA	
Maximum Clock Feedthrough	Filter Output Op Amp 1 Out Op Amp 2 Out	20 15 10			mV (peak-to-peak)	
H_0 , DC Gain	$R_{source} \leq 2$ k Ω	0.0	± 0.30	± 0.30	dB	
f_{CLK}/f_c , Clock to Cutoff Frequency Ratio	MF6-50 MF6-100	49.10 \pm 0.3% 98.65 \pm 0.3%	49.10 \pm 2% 98.65 \pm 2%	49.10\pm3% 98.65\pm2.25%		
DC Offset Voltage	MF6-50 MF6-100	-200 -400			mV	
Minimum Output Voltage Swing	$R_L = 10$ k Ω	+1.5 -2.2	+1.0 -1.7	+1.0 -1.5	V	
Maximum Output Short Circuit Current (Note 6)	Source Sink	28 0.5			mA	
Dynamic Range (Note 2)		77			dB	
Additional Magnitude Response Test Points (Note 4)	MF6-50	$f_{CLK}=250$ kHz $f=6000$ Hz $f=4500$ Hz	-9.54 -0.96	-9.54 \pm 0.6 -0.96 \pm 0.3	-9.54\pm0.75 -0.96\pm0.4	dB
	MF6-100	$f_{CLK}=250$ kHz $f=3000$ Hz $f=2250$ Hz	-9.67 -1.01	-9.67 \pm 0.6 -1.01 \pm 0.3	-9.67\pm0.75 -1.01\pm0.4	dB
Attenuation Rate	MF6-50	$f_{CLK}=250$ kHz $f_1=6000$ Hz $f_2=8000$ Hz		-36	-36	dB/ octave
	MF6-100	$f_{CLK}=250$ kHz $f_1=3000$ Hz $f_2=4000$ Hz		-36	-36	dB/ octave

Op Amp Electrical Characteristics

Boldface limits apply for T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ\text{C}$.

Parameter	Conditions	Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	Units
$V^+ = +5\text{V}$, $V^- = -5\text{V}$					
Input Offset Voltage		± 8.0	± 20	± 20	mV
Input Bias Current		10			pA
CMRR (Op Amp #2 Only)	$V_{CM1} = 1.8\text{V}$, $V_{CM2} = -2.2\text{V}$	60	55		dB
Output Voltage Swing	$R_L = 10$ k Ω	+4.0 -4.5	+3.8 -4.0	+3.6 -4.0	V
Maximum Output Short Circuit Current (Note 6)	Source	54	65	80	mA
	Sink	2.0	4.0	6.0	
Slew Rate		7.0			V/ μs
DC Open Loop Gain		72			dB
Gain Bandwidth Product		1.2			MHz
$V^+ = +2.5\text{V}$, $V^- = -2.5\text{V}$					
Input Offset Voltage		± 8.0	± 20	± 20	mV

Op Amp Electrical Characteristics (Continued)

Boldface limits apply for T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ\text{C}$.

Parameter	Conditions	Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	Units
$V^+ = +2.5\text{V}$, $V^- = -2.5\text{V}$					
Input Bias Current		10			pA
CMRR (Op-Amp #2 Only)	$V_{CM1} = +0.5\text{V}$, $V_{CM2} = -0.9\text{V}$	60	55		dB
Output Voltage Swing	$R_L = 10\text{ k}\Omega$	+1.5 -2.2	+1.3 -1.7	+1.1 -1.7	V
Maximum Output Short Circuit Current (Note 6)	Source Sink	24 1.0			mA
Slew Rate		6.0			V/ μs
DC Open Loop Gain		67			dB
Gain Bandwidth Product		1.2			MHz

Logic Input-Output Electrical Characteristics

(Note 5) The following specifications apply for $V^- = 0\text{V}$ unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX} ; all other limits $T_A = T_J = 25^\circ\text{C}$.**

Parameter	Conditions	Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	Units	
TTL CLOCK INPUT, CLK R PIN (Note 7)						
Maximum V_{IL} , Logical "0" Input Voltage			0.8	0.8	V	
Minimum V_{IH} , Logical "1" Input Voltage			2.0	2.0	V	
Maximum Leakage Current at CLK R Pin	L Sh Pin at Mid- Supply		2.0	2.0	μA	
SCHMITT TRIGGER						
V_{T+} , Positive Going Threshold Voltage	Min	$V^+ = 10\text{V}$	7.0	6.1	6.1	V
	Max			8.9	8.9	
	Min	$V^+ = 5\text{V}$	3.5	3.1	3.1	V
	Max			4.4	4.4	
V_{T-} , Negative Going Threshold Voltage	Min	$V^+ = 10\text{V}$	3.0	1.3	1.3	V
	Max			3.8	3.8	
	Min	$V^+ = 5\text{V}$	1.5	0.6	0.6	V
	Max			1.9	1.9	
Hysteresis ($V_{T+} - V_{T-}$)	Min	$V^+ = 10\text{V}$	4.0	2.3	2.3	V
	Max			7.6	7.6	
	Min	$V^+ = 5\text{V}$	2.0	1.2	1.2	V
	Max			3.8	3.8	
Minimum Logical "1" Output Voltage (Pin 11)	$I_o = -10\mu\text{A}$	$V^+ = 10\text{V}$		9.0	9.0	V
		$V^+ = 5\text{V}$		4.5	4.5	
Maximum Logical "0" Output Voltage (Pin 11)	$I_o = 10\mu\text{A}$	$V^+ = 10\text{V}$		1.0	1.0	V
		$V^+ = 5\text{V}$		0.5	0.5	
Minimum Output Source Current (Pin 11)	CLK R Tied to Ground	$V^+ = 10\text{V}$	6.0	3.0	3.0	mA
		$V^+ = 5\text{V}$	1.5	0.75	0.75	
Maximum Output Sink Current (Pin 11)	CLK R Tied to V^+	$V^+ = 10\text{V}$	5.0	2.5	2.5	mA
		$V^+ = 5\text{V}$	1.3	0.65	0.65	

Note 1: The cutoff frequency of the filter is defined as the frequency where the magnitude response is 3.01 dB less than the DC gain of the filter.

Note 2: For $\pm 5\text{V}$ supplies the dynamic range is referenced to 2.82 Vrms (4V peak) where the wideband noise over a 20 kHz bandwidth is typically 200 μVrms for the MF6-50 and 250 μVrms for the MF6-100. For $\pm 2.5\text{V}$ supplies the dynamic range is referenced to 1.06 Vrms (1.5V peak) where the wideband noise over a 20 kHz bandwidth is typically 140 μVrms for both the MF6-50 and the MF6-100.

Note 3: The specifications for the MF6 have been given for a clock frequency (f_{CLK}) of 250 kHz and less. Above this clock frequency the cutoff frequency begins to deviate from the specified error band of $\pm 1.0\%$ but the filter still maintains its magnitude characteristics. See Application Hints, Section 1.5.



PIC16F87XA

28/40/44-Pin Enhanced Flash Microcontrollers

Devices Included in this Data Sheet:

- PIC16F873A
- PIC16F874A
- PIC16F876A
- PIC16F877A

High-Performance RISC CPU:

- Only 35 single-word instructions to learn
- All single-cycle instructions except for program branches, which are two-cycle
- Operating speed: DC – 20 MHz clock input
DC – 200 ns instruction cycle
- Up to 8K x 14 words of Flash Program Memory, Up to 368 x 8 bytes of Data Memory (RAM), Up to 256 x 8 bytes of EEPROM Data Memory
- Pinout compatible to other 28-pin or 40/44-pin PIC16CXXX and PIC16FXXX microcontrollers

Peripheral Features:

- Timer0: 8-bit timer/counter with 8-bit prescaler
- Timer1: 16-bit timer/counter with prescaler, can be incremented during Sleep via external crystal/clock
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Two Capture, Compare, PWM modules
 - Capture is 16-bit, max. resolution is 12.5 ns
 - Compare is 16-bit, max. resolution is 200 ns
 - PWM max. resolution is 10-bit
- Synchronous Serial Port (SSP) with SPI™ (Master mode) and I²C™ (Master/Slave)
- Universal Synchronous Asynchronous Receiver Transmitter (USART/SCI) with 9-bit address detection
- Parallel Slave Port (PSP) – 8 bits wide with external \overline{RD} , \overline{WR} and \overline{CS} controls (40/44-pin only)
- Brown-out detection circuitry for Brown-out Reset (BOR)

Analog Features:

- 10-bit, up to 8-channel Analog-to-Digital Converter (A/D)
- Brown-out Reset (BOR)
- Analog Comparator module with:
 - Two analog comparators
 - Programmable on-chip voltage reference (VREF) module
 - Programmable input multiplexing from device inputs and internal voltage reference
 - Comparator outputs are externally accessible

Special Microcontroller Features:

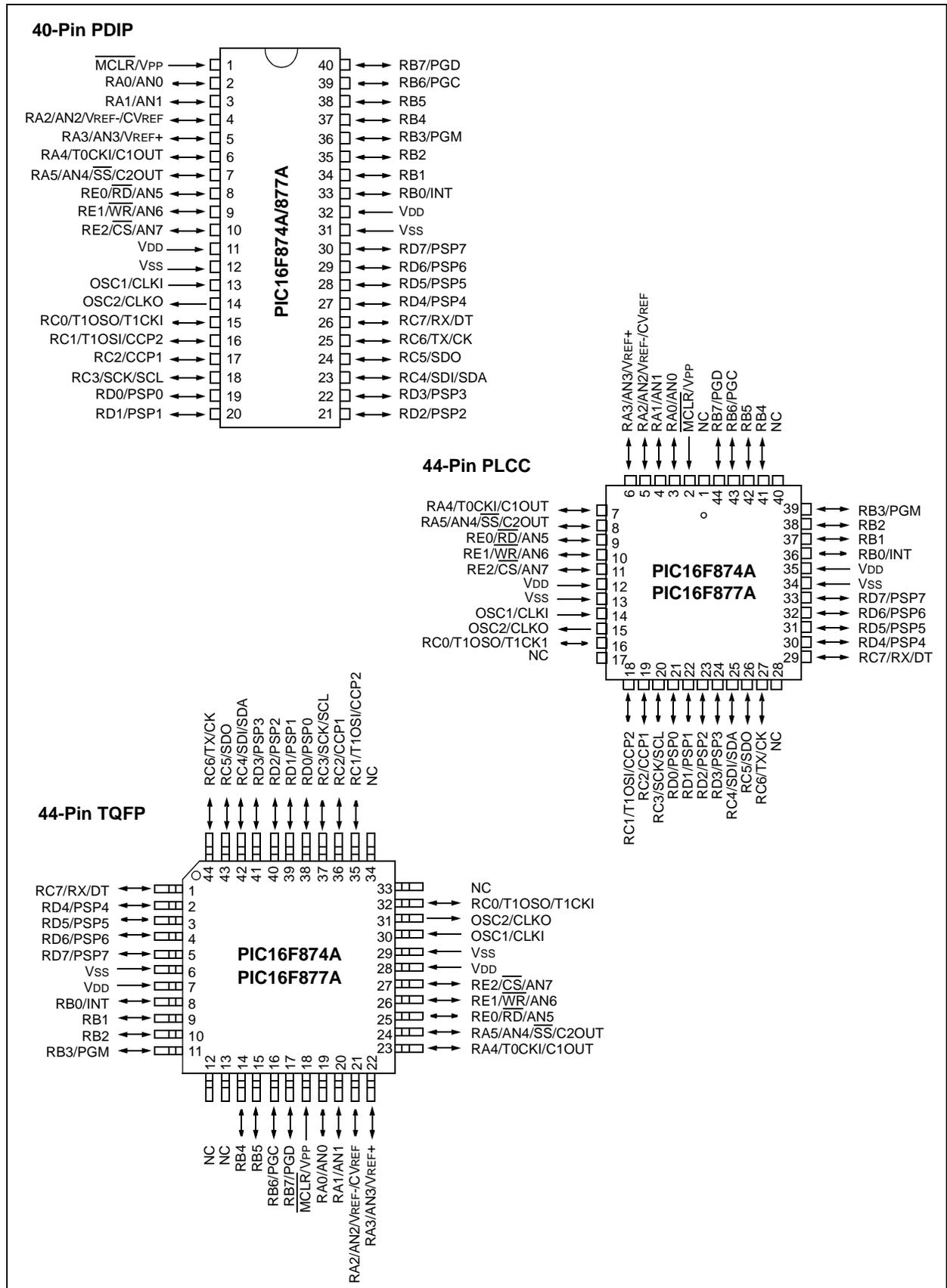
- 100,000 erase/write cycle Enhanced Flash program memory typical
- 1,000,000 erase/write cycle Data EEPROM memory typical
- Data EEPROM Retention > 40 years
- Self-reprogrammable under software control
- In-Circuit Serial Programming™ (ICSP™) via two pins
- Single-supply 5V In-Circuit Serial Programming
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Programmable code protection
- Power saving Sleep mode
- Selectable oscillator options
- In-Circuit Debug (ICD) via two pins

CMOS Technology:

- Low-power, high-speed Flash/EEPROM technology
- Fully static design
- Wide operating voltage range (2.0V to 5.5V)
- Commercial and Industrial temperature ranges
- Low-power consumption

Device	Program Memory		Data SRAM (Bytes)	EEPROM (Bytes)	I/O	10-bit A/D (ch)	CCP (PWM)	MSSP		USART	Timers 8/16-bit	Comparators
	Bytes	# Single Word Instructions						SPI	Master I ² C			
PIC16F873A	7.2K	4096	192	128	22	5	2	Yes	Yes	Yes	2/1	2
PIC16F874A	7.2K	4096	192	128	33	8	2	Yes	Yes	Yes	2/1	2
PIC16F876A	14.3K	8192	368	256	22	5	2	Yes	Yes	Yes	2/1	2
PIC16F877A	14.3K	8192	368	256	33	8	2	Yes	Yes	Yes	2/1	2

Pin Diagrams (Continued)



1.0 DEVICE OVERVIEW

This document contains device specific information about the following devices:

- PIC16F873A
- PIC16F874A
- PIC16F876A
- PIC16F877A

PIC16F873A/876A devices are available only in 28-pin packages, while PIC16F874A/877A devices are available in 40-pin and 44-pin packages. All devices in the PIC16F87XA family share common architecture with the following differences:

- The PIC16F873A and PIC16F874A have one-half of the total on-chip memory of the PIC16F876A and PIC16F877A
- The 28-pin devices have three I/O ports, while the 40/44-pin devices have five
- The 28-pin devices have fourteen interrupts, while the 40/44-pin devices have fifteen
- The 28-pin devices have five A/D input channels, while the 40/44-pin devices have eight
- The Parallel Slave Port is implemented only on the 40/44-pin devices

The available features are summarized in Table 1-1. Block diagrams of the PIC16F873A/876A and PIC16F874A/877A devices are provided in Figure 1-1 and Figure 1-2, respectively. The pinouts for these device families are listed in Table 1-2 and Table 1-3.

Additional information may be found in the PICmicro® Mid-Range Reference Manual (DS33023), which may be obtained from your local Microchip Sales Representative or downloaded from the Microchip web site. The Reference Manual should be considered a complementary document to this data sheet and is highly recommended reading for a better understanding of the device architecture and operation of the peripheral modules.

TABLE 1-1: PIC16F87XA DEVICE FEATURES

Key Features	PIC16F873A	PIC16F874A	PIC16F876A	PIC16F877A
Operating Frequency	DC – 20 MHz			
Resets (and Delays)	POR, BOR (PWRT, OST)			
Flash Program Memory (14-bit words)	4K	4K	8K	8K
Data Memory (bytes)	192	192	368	368
EEPROM Data Memory (bytes)	128	128	256	256
Interrupts	14	15	14	15
I/O Ports	Ports A, B, C	Ports A, B, C, D, E	Ports A, B, C	Ports A, B, C, D, E
Timers	3	3	3	3
Capture/Compare/PWM modules	2	2	2	2
Serial Communications	MSSP, USART	MSSP, USART	MSSP, USART	MSSP, USART
Parallel Communications	—	PSP	—	PSP
10-bit Analog-to-Digital Module	5 input channels	8 input channels	5 input channels	8 input channels
Analog Comparators	2	2	2	2
Instruction Set	35 Instructions	35 Instructions	35 Instructions	35 Instructions
Packages	28-pin PDIP 28-pin SOIC 28-pin SSOP 28-pin QFN	40-pin PDIP 44-pin PLCC 44-pin TQFP 44-pin QFN	28-pin PDIP 28-pin SOIC 28-pin SSOP 28-pin QFN	40-pin PDIP 44-pin PLCC 44-pin TQFP 44-pin QFN

17.0 ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings †

Ambient temperature under bias	-55 to +125°C
Storage temperature	-65°C to +150°C
Voltage on any pin with respect to VSS (except VDD, $\overline{\text{MCLR}}$, and RA4)	-0.3V to (VDD + 0.3V)
Voltage on VDD with respect to VSS	-0.3 to +7.5V
Voltage on $\overline{\text{MCLR}}$ with respect to VSS (Note 2)	0 to +14V
Voltage on RA4 with respect to Vss	0 to +8.5V
Total power dissipation (Note 1)	1.0W
Maximum current out of VSS pin	300 mA
Maximum current into VDD pin	250 mA
Input clamp current, I _{IK} (V _I < 0 or V _I > V _{DD})	± 20 mA
Output clamp current, I _{OK} (V _O < 0 or V _O > V _{DD})	± 20 mA
Maximum output current sunk by any I/O pin	25 mA
Maximum output current sourced by any I/O pin	25 mA
Maximum current sunk by PORTA, PORTB and PORTE (combined) (Note 3)	200 mA
Maximum current sourced by PORTA, PORTB and PORTE (combined) (Note 3)	200 mA
Maximum current sunk by PORTC and PORTD (combined) (Note 3)	200 mA
Maximum current sourced by PORTC and PORTD (combined) (Note 3)	200 mA

Note 1: Power dissipation is calculated as follows: $P_{dis} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$

2: Voltage spikes below VSS at the $\overline{\text{MCLR}}$ pin, inducing currents greater than 80 mA, may cause latch-up. Thus, a series resistor of 50-100Ω should be used when applying a “low” level to the $\overline{\text{MCLR}}$ pin rather than pulling this pin directly to VSS.

3: PORTD and PORTE are not implemented on PIC16F873A/876A devices.

† NOTICE: Stresses above those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operation listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

PIC16F87XA

TABLE 17-9: SPI MODE REQUIREMENTS

Param No.	Symbol	Characteristic	Min	Typ†	Max	Units	Conditions
70*	TssL2sCH, TssL2sCL	\overline{SS} ↓ to SCK ↓ or SCK ↑ Input	T _{CY}	—	—	ns	
71*	TsCH	SCK Input High Time (Slave mode)	T _{CY} + 20	—	—	ns	
72*	TsCL	SCK Input Low Time (Slave mode)	T _{CY} + 20	—	—	ns	
73*	TdIV2sCH, TdIV2sCL	Setup Time of SDI Data Input to SCK Edge	100	—	—	ns	
74*	TsCH2dIL, TsCL2dIL	Hold Time of SDI Data Input to SCK Edge	100	—	—	ns	
75*	TdoR	SDO Data Output Rise Time	—	10	25	ns	Standard(F) Extended(LF)
76*	TdoF	SDO Data Output Fall Time	—	10	25	ns	
77*	TssH2doZ	\overline{SS} ↑ to SDO Output High-Impedance	10	—	50	ns	
78*	TsCR	SCK Output Rise Time (Master mode)	—	10	25	ns	Standard(F) Extended(LF)
79*	TsCF	SCK Output Fall Time (Master mode)	—	10	25	ns	
80*	Tsch2doV, Tscl2doV	SDO Data Output Valid after SCK Edge	—	—	50 145	ns	Standard(F) Extended(LF)
81*	TdoV2sCH, TdoV2sCL	SDO Data Output Setup to SCK Edge	T _{CY}	—	—	ns	
82*	TssL2doV	SDO Data Output Valid after \overline{SS} ↓ Edge	—	—	50	ns	
83*	Tsch2ssH, Tscl2ssH	\overline{SS} ↑ after SCK Edge	1.5 T _{CY} + 40	—	—	ns	

* These parameters are characterized but not tested.

† Data in "Typ" column is at 5V, 25°C unless otherwise stated. These parameters are for design guidance only and are not tested.